

Grado en Ingeniería Electrónica Industrial y Automática
2018 - 2019

Trabajo Fin de Grado

“Diseño de un VCO – ADC en tecnología CMOS de 65 nm”

Adrián Laso González

Tutor

Luis Hernández Corporales

Leganés, a 11 de junio de 2019



[Incluir en el caso del interés de su publicación en el archivo abierto]

Esta obra se encuentra sujeta a la licencia Creative Commons **Reconocimiento**
– No Comercial – Sin Obra Derivada

RESUMEN

Este proyecto consiste en el diseño de un convertidor analógico-digital basado en un oscilador controlado por tensión escalando la tecnología a 65 nm. El escalado de la tecnología presenta numerosos efectos en los circuitos analógicos y digitales. Los circuitos digitales se benefician ya que con el escalado se vuelven más rápidos, más eficientes energéticamente y ocupan menos área. Por otra parte, el diseño de circuitos analógicos se vuelve mas complicado con este escalado ya que varían las ganancias intrínsecas de los transistores, aumenta el ruido entre nodos debido a las distancias más cortas, etc.

En este documento se exponen y se describen los modelos en el que se basan este tipo de convertidores, para posteriormente, realizar el diseño de un oscilador en anillo, que funciona como bloque integrador y cuantificador del convertidor analógico-digital y el diseño del bloque derivador del convertidor, implementado a partir de circuitos digitales.

Posteriormente se describen los circuitos diseñados en la herramienta Virtuoso Cadence para a continuación hacer un análisis de sensibilidad frente al ruido en el oscilador en anillo.

Palabras clave: Conversión analógico-digital; Osciladores controlados por tensión; Tecnología CMOS; Osciladores en anillo; Modulación Delta-Sigma; VCO-ADC

ABSTRACT

This project consists of the design of a voltage-controlled oscillator based analog-to-digital converter scaling down the technology to 65 nm. Scaling down the technology implies numerous effects in both analog and digital circuits. The digital circuits benefit from the scale down because they become faster, more energy efficient and occupy less area. On the other hand, analog circuit design becomes more complicated because the scale down modifies the intrinsic gain of the transistors, it raises the noise between nodes because of the closer distances, etc.

In this document are exposed and described the model in which this type of converters are based on, in order to later, design the ring oscillator, which works as a integrator and quantizer block of the analog-to-digital converter, and the design of the differentiator block, implemented by digital circuits.

Next the designed circuits on the Virtuoso Cadence tool are described in order to do a noise sensibility analysis on the ring oscillator.

Key words: Analog-to-digital converters; CMOS technology; Voltage-controlled oscillators; Ring oscillator; Delta-Sigma modulation; VCO-ADC

AGRADECIMIENTOS

A mis padres por haberme apoyado hasta el final durante todos estos años de carrera.

A todos y cada uno de mis amigos del grado que han llenado todo este camino de momentos inolvidables.

A mis amigos Guillermo y Oriol por su ayuda, apoyo y consejos para la realización de este trabajo.

A Luis y a Carlos, por guiarme y proporcionarme los medios y su tiempo para ayudarme con las dudas que iban surgiendo a lo largo de este trabajo.

Muchas gracias.

ÍNDICE DE CONTENIDO

1. INTRODUCCIÓN	1
1.1 Motivación del trabajo	1
1.2 Objetivos	4
1.3 Esquema del documento	5
1.4 Marco regulador.....	6
2. ESTADO DEL ARTE.....	7
2.1 Microelectrónica	7
2.2 Conversión analógica-digital	7
2.2.1 Convertidor analógico-digital ideal.....	8
2.3 Convertidores sobremuestreados	11
2.3.1 Ventajas del sobremuestreo.....	11
2.3.2 Convertidor A/D sobremuestreado con conformado espectral de ruido	13
2.3.3 Modulador Delta-Sigma.....	14
2.2.4 Conformado espectral de ruido de primer orden.....	15
2.2.5 Conformado espectral de ruido de segundo orden	17
2.2.6 Curvas de la función de transferencia del ruido	17
2.3 Convertidor analógico-digital basado en oscilador en anillo controlado por tensión (VCO-ADC).....	18
2.4 Oscilador en anillo (VCO).....	19
3. VCO-ADC EN TECNOLOGÍA CMOS DE 65 NM.....	22
3.1 Desarrollo de la idea	22
3.2 Diseño de circuitos a nivel de transistor	32
3.2.1 Alimentación	32
3.2.2 Transistor <i>source-follower</i>	33
3.2.3 Oscilador en anillo	34
3.2.3 <i>Level shifter</i>	36
3.2.4 Biestable	38
3.2.5 Puerta XOR	39
3.3 Análisis de la potencia del convertidor.....	42
3.3 Análisis de sensibilidad del oscilador en anillo	44
4. DISCUSIÓN DE RESULTADOS	47
4.1 Conclusiones	47
4.2 Futuros trabajos y posibles mejoras	48
5. ESTUDIO ECONÓMICO.....	49

6. ENTORNO SOCIO-ECÓNOMICO	51
7. METODOLOGÍA Y PLAN DE TRABAJO	52
Bibliografía.....	53

ÍNDICE DE FIGURAS

Fig 1.1 Esquema a nivel de bloques de los circuitos diseñados para el convertidor analógico-digital controlado por un oscilador en anillo.	3
Fig. 2.1. Corte transversal de un transistor MOS de canal n [6]	8
Fig. 2.2 Diagrama de bloque de un ADC ideal [6].....	8
Fig. 2.3 Relación entre las señales de entrada y salida de un ADC ideal de 2 bit [6].	9
Fig. 2.4 Error de cuantificación de la figura 2.3.....	10
Fig. 2.10 Modulador $\Delta\Sigma$ de primer orden con conformado espectral de ruido [6].....	16
Fig. 2.11 Modulador $\Delta\Sigma$ de segundo orden con conformado espectral de ruido [6].....	17
Fig. 2.12 Funciones de transferencia para el conformado de ruido espectral. [6].....	18
Fig. 2.13 Diagrama de bloques de un VCO-ADC en bucle abierto.	18
Fig. 2.14 Diagrama de bloques y modelo linealizado en el dominio de la frecuencia de un ADC Delta-Sigma de primer orden basado en un VCO en bucle abierto [16].	19
Fig. 2.15 Oscilador en anillo de siete fases.	19
Fig. 3.1 Esquemático de la arquitectura convencional de un VCO-ADC.	23
Fig. 3.2 Esquema de la demodulación digital de las fases de salida del VCO [14].	24
Fig 3.3 Señal de entrada al <i>source follower</i> y tensión y corriente que genera para alimentar al oscilador en anillo.....	25
Fig 3.4 (a) Señal de salida del VCO ideal diseñado en VerilogA. (b) Señal de salida de la primera fase del oscilador en anillo diseñado a nivel transistor.	26
Fig. 3.5 Señal de entrada y frecuencia de oscilación del VCO.	27
Fig 3.6 Salidas de las siete fases del oscilador en anillo.	28
Fig 3.7 Señal de salida de una fase del VCO y señal amplificada por el <i>level shifter</i> . ..	28
Fig 3.8 Resultado de la primera diferencia, señales de salida de los biestables D, la puerta XOR y la señal de reloj ideales diseñados en VerilogA.....	29
Fig 3.8 Resultado de la primera diferencia, señales de salida de los biestables D, la puerta XOR y la señal de reloj reales diseñados a nivel de transistor.	30
Fig 3.9 Esquema del VCO-ADC en configuración diferencial	31
Fig 3.10 Esquemático de la alimentación utilizada para los circuitos de VCO-ADC....	32
Fig 3.11 Esquemático del transistor <i>source follower</i>	33
Fig 3.12 Esquemático a nivel transistor de los inversores que componen el oscilador en anillo.	35
Fig 3.13 Esquemático a nivel transistor del <i>level shifter</i>	36
Fig 3.14 Símbolo del biestable D	38
Fig 3.15 Esquemático a nivel transistor del biestable D.....	39
Fig 3.16 Símbolo de la puerta XOR.	40

Fig 3.17 Implementación de la puerta XOR mediante Puertas de Transmisión.....	41
Fig 3.18 Esquemático a nivel transistor de la puerta XOR	42
Fig 3.19 Formas de onda de las corrientes totales del VCO, <i>level shifter</i> , biestables D y puertas XOR respectivamente.	43
Figura 3.20 Efectos del ruido en el espectro de un VCO-ADC (a) Espectro de $v(t)$; (b) espectro de salida del convertidor $y[n]$ asumiendo una señal de entrada senoidal [20].	45
Figura 3.21 Curvas de la SNDR en <i>single ended</i> (rojo), configuración diferencial (verde) y SNR (azul).	45
Fig 7.1 Diagrama de Gantt del proyecto.	52

ÍNDICE DE TABLAS

Tabla 3.1 Tamaños del transistor <i>source follower</i>	34
Tabla 3.2 Tamaños de los transistores de los inversores que componen el oscilador en anillo.	34
Tabla 3.3 Tamaños de los transistores del <i>level shifter</i>	37
Tabla 3.4 Tamaños de los transistores del biestable D.....	39
Tabla 3.5 Tabla de verdad para una puerta XOR con dos entradas y una salida.	40
Tabla 3.6 Tamaños de los transistores de la puerta XOR.....	41
Tabla 3.7 Corrientes y potencias de los circuitos del VCO-ADC	43
Tabla 3.8 Valores del convertidor en configuración <i>single ended</i>	46
Tabla 3.9 Valores del convertidor en configuración diferencial.	46
Tabla 5.1 Costes de personal	49
Tabla 5.2 Costes de software	49
Tabla 5.3 Costes totales del trabajo.	50

ABREVIATURAS

A/D Analog Digital

ADC Analog-to-Digital converter

ADSL Asymmetric digital subscriber line

CMOS Complementary Metal-Oxide Semiconductor

DAC Digital-to-Analog converter

DC Direct current

ENOB Effective number of bits

IEEE Institute of Electrical and Electronics Engineers

IoT Internet of Things

LSB Least Significant Bit

MOS Metal-Oxide Semiconductor

MSB Most Significant Bit

NMOS N-type Metal-Oxide-Semiconductor

OSR Oversampling Signal Ratio

PMOS P-type Metal-Oxide-Semiconductor

SNDR Signal-to-Noise and Distortion Ratio

SNR Signal-to-Noise Ratio

TSPC True Single-Phase Clocking

VCO Voltage Controlled Oscillator

VDSL Very-high-bit rate digital subscriber line

VDSL2 Very-high-bit rate digital subscriber line

VHDL VHSIC Hardware Description Language

NOMENCLATURA

$\Delta\Sigma$ Delta-Sigma

f_0 Frecuencia de oscilación

K_{VCO} Ganancia del VCO

P_e Potencia del ruido

P_s Potencia de la señal

τ_d Tiempo de retraso

V_{DD} Tensión de alimentación

V_{SS} Tensión de referencia a masa

V_{in} Tensión de entrada

V_{out} Tensión de salida

V_{th} Tensión umbral del transistor

1. INTRODUCCIÓN

1.1 Motivación del trabajo

Si bien existe un predominio de la tecnología digital, las señales físicas que captan los transductores son analógicas, tales como la temperatura, presión, caudal, etc. Sin embargo, a la hora de procesar estos datos obtenidos mediante los sensores, se utiliza electrónica digital. Por este motivo, tanto los convertidores analógico-digital (*Analog-to-Digital-Converter*, ADC) como los convertidores digital-analógico (*Digital-to-Analog-Converter*, DAC) se vuelven fundamentales para sistemas que necesiten trabajar con los dos tipos de señales.

Cada vez aparecen mas productos que utilizan el procesado de señales digitales, por lo que es necesario una constante mejora en el diseño de los convertidores de datos. Las señales digitales utilizan valores discretos, sin embargo, las señales analógicas son continuas, es decir, tienen una resolución infinita. A la hora de convertir estas señales analógicas en señales digitales es necesaria una cuantificación de los valores analógicos para generar los valores discretos que utiliza la señal digital. Esta cuantificación implica un error de conversión, que es una de las consideraciones mas importantes a tener en cuenta a la hora de diseñar o escoger un convertidor.

Los dispositivos más novedosos cada vez necesitan convertidores con especificaciones y requisitos mejores, sobre todo en ámbitos como en el campo de las comunicaciones donde es necesario amplias tasas de transferencia de datos y anchos de banda. En otras aplicaciones, como las telecomunicaciones, la tecnología que mas destaca es el ADSL (*Asymmetric digital subscriber line*), ya que está más extendido y es más accesible económicamente. Destacan además el VDSL (*Very-High-bit-rate digital subscriber line*) y su siguiente modelo, el VDSL2, los cuales utilizan convertidores de datos para lograr anchos de banda de 30 MHz [1]. Otro sistema de comunicaciones que está en auge últimamente es el G.fast que tiene hasta 106 MHz de ancho de banda y una transferencia de datos de entre 150 Mbits/s y 1 Gbit/s.

Mas tecnologías en desarrollo que hacen uso de la conversión de datos es el novedoso *Internet of Things (IoT)* [2]. Este nuevo sistema conecta distintos dispositivos tal y como electrodomésticos, vehículos y diversos dispositivos electrónicos y conseguir comunicación entre ellos. Los datos intercambiados entre todos estos sistemas tienen que

ser convertidos al ámbito digital para ser procesados ya que los datos intercambiados del entorno entre ellos son analógicos. Además, debido a que trabajan remotamente se espera que el tamaño y el consumo sean mínimos.

Las especificaciones que requieren estas nuevas tecnologías se basan en los circuitos que las componen, es decir, implican a los ADC directamente. Dados los requisitos mencionados en las tecnologías anteriores, las especificaciones necesarias en los convertidores analógico-digital son una tasa alta de transferencia de datos, gran ancho de banda, área reducida y poco consumo de potencia.

En los ADC, a pesar de que la parte digital es la que predomina en cuanto a número de transistores, es generalmente la parte de circuitos analógicos la que limita el sistema. Según la ley de Moore [3], el tamaño de la tecnología de fabricación de semiconductores y circuitos integrados ha ido escalándose desde los años 60 hasta la actualidad, es decir, los componentes son cada vez mas pequeños. Consecuencia directa de esto es que han ido surgiendo distintos efectos, tanto negativos como positivos, relacionados con las tecnologías de fabricación para transistores con dimensiones por debajo de los 65 nm afectando, como se ha mencionado anteriormente, a la parte analógica de los circuitos [4]. Algunos de estos efectos en los circuitos analógicos son los siguientes:

- Consumo menor del dispositivo. Esto es consecuencia directa de la disminución de la tensión de alimentación, por lo que la corriente que circula por los transistores también es menor, disminuyendo la potencia consumida. El número de transistores en serie entre alimentación y masa es menor ya que la tensión umbral de los transistores V_{th} disminuye de forma distinta que la tensión de alimentación V_{DD} .
- La frecuencia de trabajo máxima es mayor, ya que estas vienen dadas por las capacidades parasitas de los transistores, y estas son menores cuanto menor es la tecnología.
- La ganancia del transistor disminuye, por lo tanto, las técnicas para diseño analógico convencionales tienen mayor dificultad para ser aplicadas.

En los circuitos digitales se pueden destacar los siguientes efectos del escalado:

- Menor área del circuito integrado.

- Mayor frecuencia de trabajo, ya que al reducir el tamaño de los transistores también se reducen los tamaños de las capacidades parasitas de los mismos y, por tanto, permitiendo a los circuitos ser más rápidos.
- Menor consumo de potencia debido a la reducción de la alimentación.

Con el conjunto de estos efectos, el circuito del convertidor se ve beneficiado por el escalado de la tecnología, pero las limitaciones de fabricación y diseño de tecnologías menores de 65 nm para los circuitos analógicos hacen que sea necesaria una transición hacia arquitecturas de ADCs cuyo diseño sea mayoritariamente digital.

A la hora de desarrollar este trabajo se ha usado la herramienta de diseño Virtuoso de Cadence, para diseñar los circuitos analógicos y digitales que componen el ADC a nivel de transistor y los modelos ideales en VerilogA¹. La figura 1.1 muestra un esquema básico a nivel de bloques de los circuitos diseñados para el convertidor.

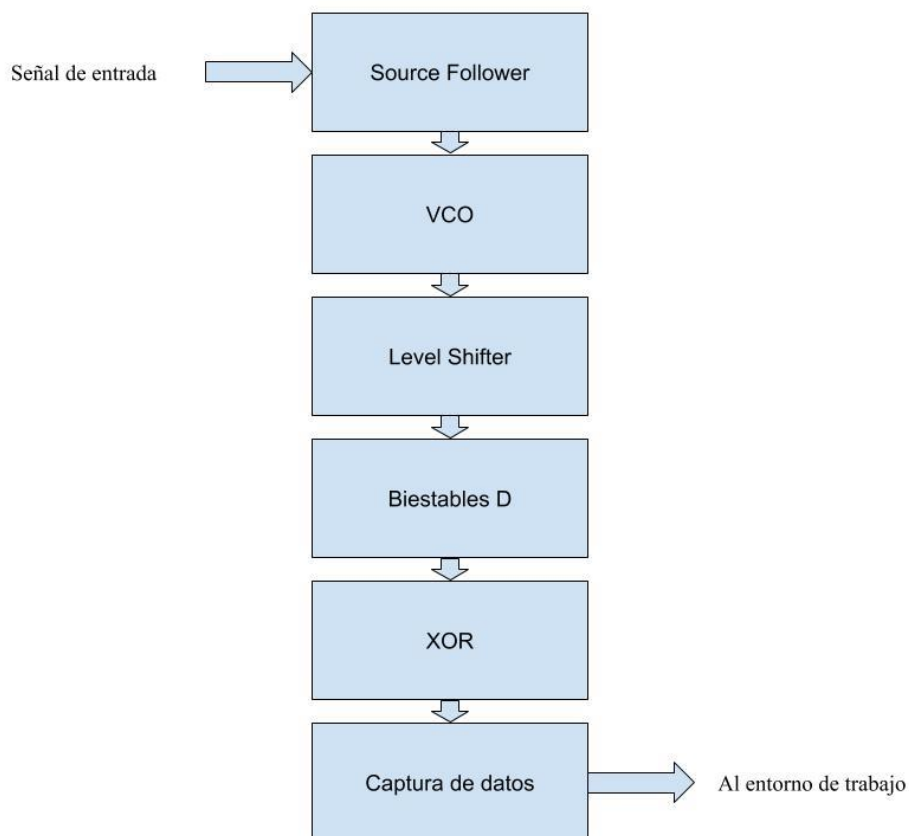


Fig 1.1 Esquema a nivel de bloques de los circuitos diseñados para el convertidor analógico-digital controlado por un oscilador en anillo.

¹ VerilogA es un lenguaje de descripción de hardware derivado del VHDL, en el que se puede definir el comportamiento de circuitos analógicos y digitales.

1.2 Objetivos

En este trabajo es realizar el estudio de un convertidor analógico-digital basado en un oscilador controlado por tensión (VCO-ADC). Se pretende que con el escalado de la arquitectura se mejore la resolución del convertidor sin aumentar el orden del conformado espectral de ruido.

En este trabajo se han seguido las siguientes tareas:

- Búsqueda y estudio de teoría de convertidores, plasmada en el Estado del Arte en el capítulo 2.
- Familiarización con la nueva herramienta de diseño Virtuoso Cadence y diseño de los bloques principales del VCO-ADC.
- Análisis transitorios para verificar el correcto funcionamiento de los circuitos diseñados.
- Análisis *Periodic Steady-State (PSS)* y *Phase Noise* para una vez verificado el funcionamiento, estudiar el ruido.
- Redacción del presente documento.

Siguiendo el objetivo principal de escalar la tecnología se han estipulado una serie de objetivos más específicos:

- Diseño del modelo ideal de un VCO en VerilogA a partir de los modelos expuestos en el Estado del Arte y verificación de su correcto funcionamiento.
- Diseño del modelo de un VCO a nivel de transistor y verificación de su correcto funcionamiento.
- Diseño de un circuito para polarizar el oscilador en anillo en el punto de trabajo diseñado.
- Estudio de la SNR del VCO y el circuito que lo polariza y obtener un valor superior a 65 dB. En el epígrafe 3.4 se detalla la SNR obtenida en el oscilador diseñado siendo esta de 70.3 dB.
- Diseño de un *Level Shifter* para el acondicionamiento a niveles digitales de la señal generada por el VCO.
- Diseño de los componentes digitales, (biestables y puerta XOR) para la tecnología mínima de la arquitectura, 65 nm.
- Ensamblado de los bloques diseñados, verificación del correcto funcionamiento del convertidor y estudio del consumo y de la SNDR del VCO, obteniendo un

valor superior a 60 dB. En el epígrafe 3.4 se analiza la SNDR del oscilador siendo esta de hasta 73.26 dB.

- Estudio de la potencia consumida por los circuitos del convertidor. En el epígrafe 3.3 se detallan las corrientes que consume cada elemento del circuito, siendo la potencia total consumida por el VCO-ADC de $732 \mu W$.

1.3 Esquema del documento

El trabajo de este documento se divide en tres partes principales, las cuales se detallan a continuación.

La primera parte del documento consiste en un resumen en castellano y en inglés del contenido del documento, agradecimientos, el índice de contenidos, el índice de figuras y el índice de tablas, además de una lista de nomenclaturas y una lista de abreviaturas utilizadas.

La segunda parte del documento está compuesta por los siguientes capítulos:

- Capítulo 1: Consiste en una breve introducción del tema a tratar en el trabajo, objetivos marcados, estructura principal del documento y marco regulador del proyecto.
- Capítulo 2: Contiene una detallada descripción sobre el estado del arte, tratando fundamentos teóricos necesarios para un mejor entendimiento del funcionamiento de los VCO-ADCs.
- Capítulo 3: Explicación de la arquitectura para el VCO-ADC, desarrollo de esta y explicación de los circuitos ideales en VerilogA y los circuitos diseñados a nivel de transistor, describiendo los tamaños de los transistores y una breve explicación del funcionamiento de estos. Se finaliza el capítulo con un análisis de sensibilidad del oscilador en anillo frente al ruido.
- Capítulo 4: Discusión de resultados a partir de los valores obtenidos de la arquitectura diseñada. También incluye futuras mejoras para el trabajo
- Capítulo 5: Se presenta un presupuesto detallado sobre los costes totales del trabajo
- Capítulo 6: Se comenta el impacto socio-económico de sistema.
- Capítulo 7: Se detalla el plan de trabajo aplicado para el desarrollo del trabajo mediante un diagrama de Gantt.

La parte final del documento está formada por la bibliografía y anexos relevantes para el trabajo

1.4 Marco regulador

Este proyecto cumple con los Derecho de Autor y la ley de Propiedad Intelectual de España.

Además, este documento consiste en un trabajo de investigación por tanto no se aplica la legislación para la implementación descrita en el trabajo. Si se aplicara en un ámbito de comunicaciones deberá cumplir con las pautas del IEEE 802 LAN/MAN² .

² Estándares sobre redes de área local, metropolitana y otras áreas. Se detallan las especificaciones en el siguiente enlace <http://www.ieee802.org/>

2. ESTADO DEL ARTE

2.1 Microelectrónica

La microelectrónica es la rama de la ingeniería electrónica que se dedica al estudio, diseño y fabricación de circuitos integrados. Estos circuitos integrados se componen principalmente de elementos semiconductores, de los cuales el más imprescindible es el transistor. De los transistores destaca el transistor MOS (*metal-oxide semiconductor*)³ y la tecnología mas usada en circuitos digitales es la CMOS (*Complementary MOS*).

Esta tecnología usa los dos tipos de transistores MOS, canal n y canal p⁴ de manera complementaria [5]. La diferencia entre un transistor N y uno P radica en la tensión que necesitan para que circule corriente entre la fuente y el drenador. El transistor N conduce si el voltaje en la puerta es positivo mientras que el transistor P conduce si la tensión en la puerta es negativa. Utilizando esta propiedad de los MOS se pueden modelar como si fueran interruptores, controlándolos por las tensiones en las puertas. La familia CMOS se diseña en escala nanométrica, referida a la mínima longitud del canal (L). Para describir el tamaño de un transistor es necesario definir el ancho (W) y longitud del canal.

En la figura 2.1 se muestra el corte transversal de un transistor N. El transistor está compuesto por un sustrato p^- que separa las zonas n^+ cuando no existe tensión en la puerta. La puerta está compuesta por polisilicio⁵ y esta se aísla de las zonas p^- y n^+ mediante dióxido de silicio (SiO_2). Cabe destacar que no existe diferencia física entre la fuente y el drenador y la distancia que los separa es la longitud del canal.

La microelectrónica se divide en dos ramas a su vez, la microelectrónica analógica y la microelectrónica digital, siendo ambas partes de los circuitos integrados, por lo que, como se ha explicado, es necesario el uso de convertidores analógico-digital.

2.2 Conversión analógica-digital

Los circuitos convertidores de datos se dividen en dos grupos, los convertidores digital-analógico, y los convertidores analógico-digital. La gran mayoría de sistemas electrónicos

³ *Metal* se refiere al material utilizado en la puerta del transistor. Actualmente se usa en su lugar polisilicio.

⁴ A partir de este punto los transistores de canal n y de canal p serán denominados como N y P respectivamente.

⁵ También conocido como silicio policristalino, está dopado para modificar sus propiedades eléctricas

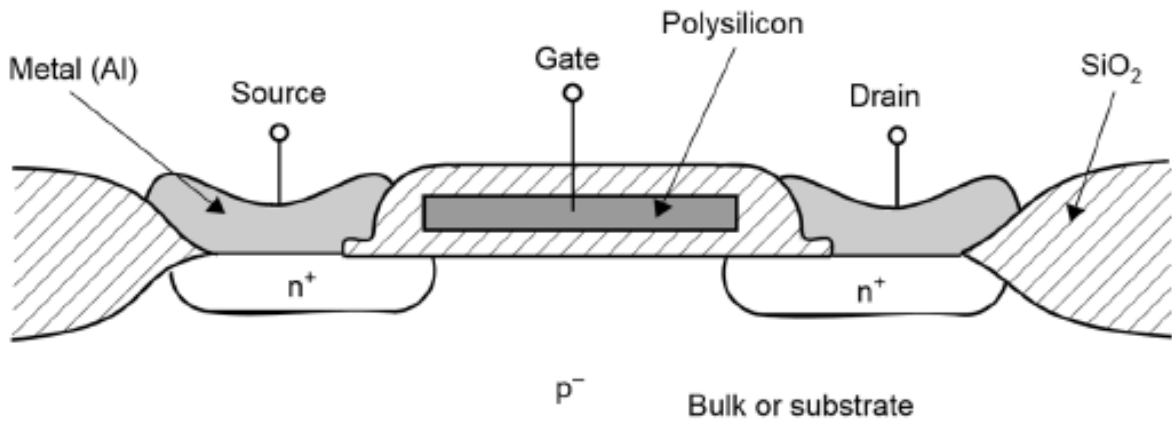


Fig. 2.1. Corte transversal de un transistor MOS de canal n [6]

tienen implementados este tipo de convertidores, sobre todo los ADC ya que las magnitudes físicas se miden analógicamente, pero para ser procesadas digitalmente es necesario el paso por este bloque. Las señales analógicas son capaces de tomar valores infinitos en un intervalo de tiempo, por ejemplo, la luminosidad en el interior de un invernadero, mientras que su señal convertida en digital solo es capaz de tomar un numero de valores determinados para el mismo intervalo de tiempo.

2.2.1 Convertidor analógico-digital ideal

Un convertidor A/D se puede modelar como una caja en la que entra una señal analógica y sale una señal digital. En la figura 2.2 se aprecia el esquema de un ADC que tiene por entrada analógica la señal V_{in} , por señal de referencia V_{ref} y por señal de salida de n-bit B_{out} . Se considera V_{in} una señal senoidal con la siguiente expresión:

$$V_{in} = A \sin(\omega t + \phi), \quad (2.1)$$

Donde A es la amplitud de la señal de entrada y $\omega = 2\pi f$, donde f es la frecuencia de la señal de entrada y ϕ su desfase.

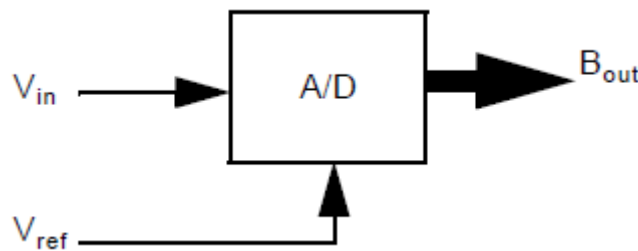


Fig. 2.2 Diagrama de bloque de un ADC ideal [6].

La relación entre las señales de entrada y la señal de salida viene dada por la ecuación (2.2):

$$V_{in} \pm V_x = V_{ref}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}), \quad (2.2)$$

donde b_i se corresponde con los valores digitales 1 ó 0, b_1 es el bit más significativo (MSB, *Most Significant Bit*) y b_N el bit menos significativo (LSB, *Least Significant Bit*). La resolución de un ADC ideal viene dada por la ecuación (2.3):

$$LSB = \frac{1}{2^N}, \quad (2.3)$$

Además, se define en (2.4) una tensión V_{LSB} que es la tensión a la cual cambia el LSB

$$V_{LSB} = \frac{V_{ref}}{2^N}, \quad (2.4)$$

Finalmente, se expresa V_x de la ecuación (2.2) mediante la siguiente expresión:

$$-\frac{1}{2}V_{LSB} \leq V_x < \frac{1}{2}V_{LSB}, \quad (2.5)$$

Las ecuaciones (2.4) y (2.5) indican que aparece un rango de valores en la señal de entrada que generan el mismo valor de señal de salida. Este efecto se conoce como error de cuantificación.

En la figura 2.3 se muestra la relación entre las señales de entrada y salida del ADC ideal con 2 bit.

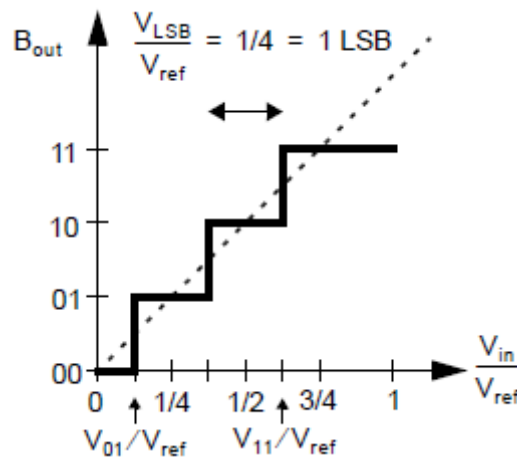


Fig. 2.3 Relación entre las señales de entrada y salida de un ADC ideal de 2 bit [6].

El convertidor puede sobrecargarse si no se respeta la relación marcada por la ecuación (2.3), esto es, la magnitud del error de cuantificación ha de ser menos que $V_{LSB}/2$. Así, para que el convertidor trabaje adecuadamente la señal cuantificada se debe mantener en 1 LSB de las dos últimas transiciones de tensión [7].

En la figura 2.4 se muestra el error de cuantificación el cual es sumado a la señal de entrada para generar la señal cuantificada.

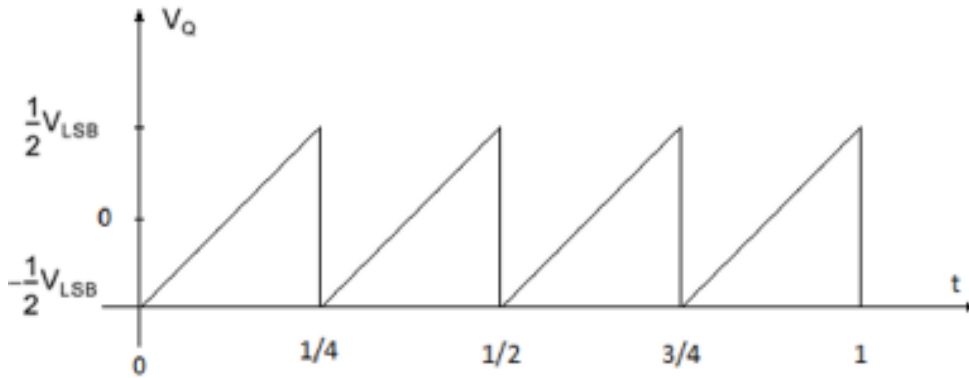


Fig. 2.4 Error de cuantificación de la figura 2.3

De esta manera, se consigue una SNDR (*Signal to noise and distortion ratio*) [8] definida por la siguiente expresión:

$$SNDR = 20 \log \frac{V_{in(rms)}}{V_{Q(rms)}} = 20 \log \frac{V_{ref}/(2\sqrt{2})}{V_{LSB}/\sqrt{12}} = 6,02N + 1,76 \text{ dB}, \quad (2.6)$$

Los convertidores de datos se dividen en dos grupos: los convertidores Nyquist [6] y los convertidores sobremuestreados [9].

Los convertidores Nyquist trabajan mínimo al doble de la frecuencia de entrada, siguiendo el Teorema de muestreo de Nyquist-Shannon. En este documento no se profundizará en este tipo de convertidores.

Los convertidores sobremuestreados trabajan a una frecuencia de 10 a 512 veces más rápida que los convertidores Nyquist y pueden usar métodos de filtrado paso alto para el ruido de cuantificación de el ancho de banda de la señal de entrada, pudiéndolo eliminar. Este método es conocido como conformado espectral de ruido y genera una mejora de la relación señal a ruido (*SNR, Signal-to-Noise Ratio*).

2.3 Convertidores sobremuestreados

El sobremuestreo es una técnica utilizada en los convertidores A/D para distribuir el error de cuantificación de manera aleatoria por la banda de frecuencia, reduciendo la densidad del ruido de cuantificación [10], tal y como se aprecia en la figura 2.5.

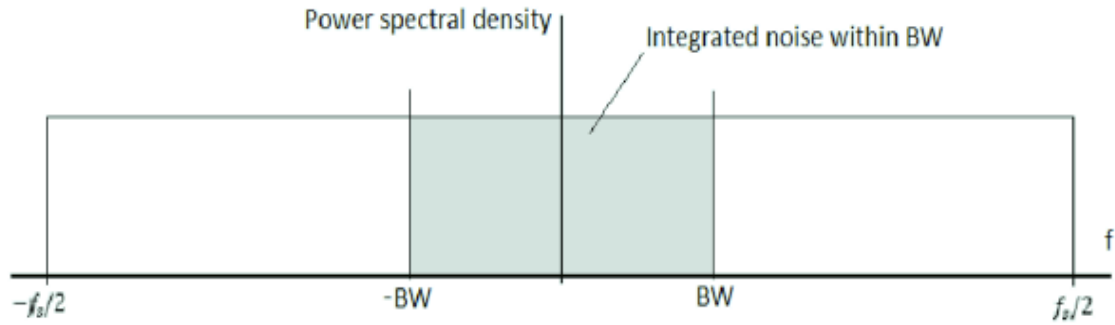


Fig. 2.5 Espectro de la densidad de la potencia del ruido entre $-f_s/2$ y $f_s/2$.

Con este método se pueden obtener más bits de resolución para un mismo ancho de banda que en un convertidor Nyquist, debido a la realimentación del conformado espectral del ruido realizado al espectro de la frecuencia.

Estos convertidores sobremuestreados reciben el nombre de Delta-Sigma ($\Delta\Sigma$) y suelen ser frecuentes en aplicaciones que necesitan gran resolución, como señales en sistemas inalámbricos o audio de alta calidad.

2.3.1 Ventajas del sobremuestreo

En este epígrafe se van a explicar más profundamente las ventajas expuestas anteriormente sobre los convertidores Delta-Sigma.

Se puede hablar de sobremuestreo sí, la frecuencia máxima de la señal a procesar f_{max} y la frecuencia de muestreo f_s cumplen que $2f_{max} < f_s$. Relacionando estas dos variables se obtiene el ratio de sobremuestreo, OSR (*oversampling ratio*), como:

$$OSR = \frac{f_s}{2f_{max}} \quad (2.7)$$

La potencia de la señal, P_s , si es una señal senoidal como la definida en la expresión (2.1) la cual tendrá su máximo valor de pico en $2^N(\Delta/2)$, es equivalente a:

$$P_s = \left(\frac{\Delta 2^N}{2\sqrt{2}}\right)^2 = \frac{\Delta^2 2^{2N}}{8}, \quad (2.8)$$

donde Δ es la diferencia de cuantificación entre dos niveles. En la figura 2.6 se ejemplifica con un diagrama de bloques, en la que $H(f)$ es una respuesta en frecuencia.

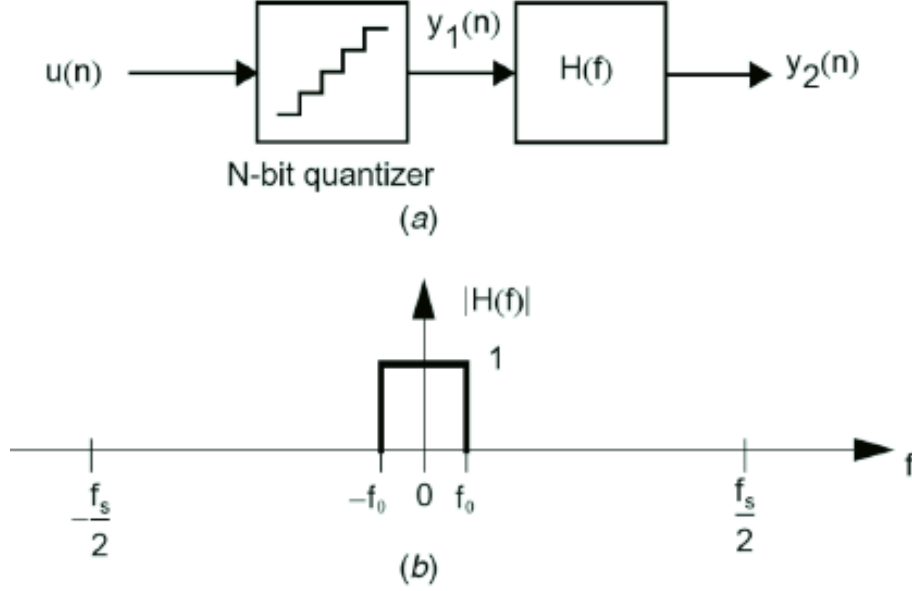


Fig. 2.6 (a) Ejemplo de configuración de sobremuestreo sin conformado espectral de ruido; (b) Respuesta del filtro para eliminar el ruido de cuantificación [1]

Se puede comprender por qué los convertidores con sobremuestreo alcanzan mayor valor de SNDR que los Nyquist, si se observan las figuras 2.5 y 2.6. Se aprecia que el ancho de banda en los convertidores Delta-Sigma es mucho menor que en los convertidores Nyquist ($f_s/2$), luego entonces, el ruido que cae sobre el ancho de banda deseado ha de ser menor.

Se define la potencia del ruido de cuantificación, P_e , en la siguiente expresión:

$$P_e = \int_{-f_s/2}^{f_s/2} S_e^2(f) \cdot |H(f)|^2 df = \int_{-f_0}^{f_0} k_x^2 df = \frac{2f_0}{f_s} \frac{\Delta^2}{12} \left(\frac{1}{OSR}\right), \quad (2.9)$$

Por tanto, disminuye la potencia del ruido de cuantificación si se aumenta el OSR .

Es posible calcular el valor máximo de SNDR relacionando la potencia de la señal de entrada y la potencia del ruido de cuantificación más $y_2(n)$ de la figura 2.6 (a) que representa la distorsión, resultando en la siguiente expresión:

$$SNDR_{max} = 10 \log \frac{P_s}{P_e} = 10 \log \frac{3}{2} \cdot 2^{2N} + 10 \log OSR, \quad (2.10)$$

la cual equivale a:

$$SNDR_{max} = 6,02N + 1,76 + 10 \log OSR, \quad (2.11)$$

Sobremuestreando con una frecuencia de muestreo superior a la frecuencia de Nyquist, sin conformado espectral de ruido, y aumentar el OSR se consigue una SNDR mejorada en $10 \log OSR$ dB, como indica la ecuación (2.11), es decir, cuando se duplica el OSR la SNDR aumenta en 3 dB.

2.3.2 Convertidor A/D sobremuestreado con conformado espectral de ruido

Los convertidores Delta-Sigma tienen una arquitectura característica [6] como la mostrada a nivel de bloques en la siguiente figura:

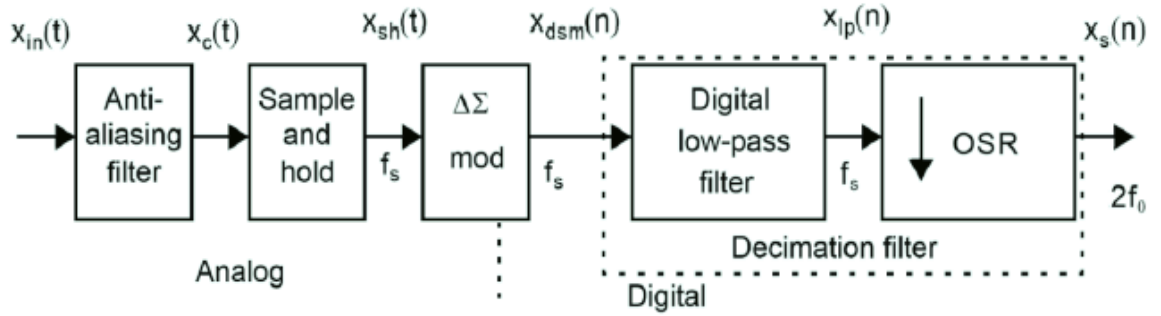


Fig. 2.7 Diagrama de bloques de un ADC con sobremuestreo y conformado espectral de ruido [6].

Este tipo de moduladores $\Delta\Sigma$, como indica la figura 2.7, tiene una etapa de filtrado del tipo *anti-aliasing* continuo, cuyo principal cometido es limitar el ancho de banda de la señal de entrada a frecuencias menores de la mitad de la frecuencia de muestreo. La señal filtrada, pasa por el bloque *sample and hold* para ser muestreada. El siguiente bloque, $\Delta\Sigma$ *mod* convierte la señal a digital con conformado espectral de ruido. El bloque final del convertidor es el *decimation filter* que se encarga de convertir la señal digital sobremuestreada en una señal con menos muestras, pero sin perder resolución. Este bloque se suele dividir en dos partes, un *digital low-pass filter* y un *downsampler* (reductor de la frecuencia de muestreo).

2.3.3 Modulador Delta-Sigma

En este epígrafe se hablará más detalladamente del modelo general del modulador Delta-Sigma con conformado espectral de ruido [11] mostrado en la figura 2.7. Este diagrama es equivalente a un integrador formado por un integrador realimentado negativamente y también es conocido por el nombre de estructura interpolativa. Los moduladores $\Delta\Sigma$ de primer orden, como el mostrado en la figura 2.8, poseen una diferencia en la entrada, seguida por un integrador con un modulador delta [9].

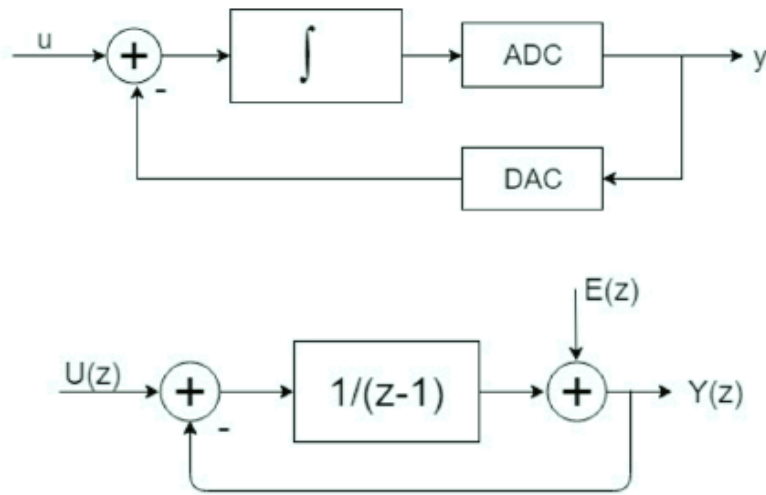


Fig. 2.8 Modulador Delta-Sigma de primer orden y su modelo lineal en el dominio z .

Es posible obtener las funciones de transferencia de un modulador $\Delta\Sigma$ lineal con ruido de cuantificación a partir de los modelos mostrados en la figura 2.9:

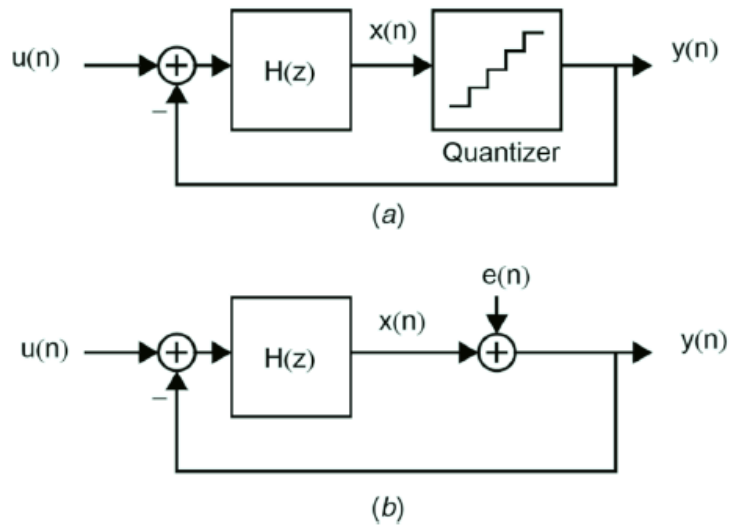


Fig. 2.9 (a) modulador $\Delta\Sigma$ general; (b) modelo lineal del modulador con ruido de cuantificación [6].

La de la señal, $STF(z)$, a partir de la siguiente expresión:

$$STF(z) = \frac{Y(z)}{U(z)} = \frac{H(z)}{1 + H(z)}, \quad (2.12)$$

Y la del ruido, $NTF(z)$, con la siguiente expresión:

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)}, \quad (2.13)$$

Se puede apreciar que la cantidad de polos en $H(z)$ es igual a la cantidad de ceros en $NTF(z)$. Combinando (2.12) y (2.13) se obtiene la siguiente expresion:

$$Y(z) = STF(z) \cdot U(z) + NTF(z) \cdot E(z) \quad (2.14)$$

$NTF(z)$ debe hacer la función de filtro paso alto y se elige una $H(z)$ que haga que la $STF(z)$ sea la unidad para que el ruido se conforme de forma eficiente. De esta manera, el error de cuantificación en la banda de frecuencia de interés se reduce sin afectar a la señal. En frecuencias altas, debido a la realimentación, el ruido no se reduce, por la baja ganancia del bucle.

Se ha que tener en cuenta que la señal de entrada máxima, $u(n)$, debe permanecer entre los niveles máximos de la señal realimentada, $y(n)$ para escoger una función concreta para $H(z)$ ya que debido a la ganancia $x(n)$ podría saturarse.

Para conformar el espectro del ruido de cuantificación (*to noise-shape the quantifization error*) [12] se atenúa el ruido de cuantificación en la banda de interés mediante el bucle de realimentación con una respuesta concreta.

2.2.4 Conformado espectral de ruido de primer orden

Tras la explicación en el epígrafe anterior del funcionamiento de un modulador $\Delta\Sigma$, se procede a describir detalladamente uno de primer orden. Si se quiere diseñar un modulador de estas características, es necesario que la función de transferencia del ruido (2.13) tenga un cero en DC⁶ haciendo así que el ruido de cuantificación tenga un filtrado paso alto. Como se ha definido antes, $NTF(z)$ tiene que tener los mismos cero que polos

⁶ Por ejemplo, $z=1$

$H(z)$, esto es, se puede diseñar un conformado espectral de ruido de primer orden si $H(z)$ se comporta como un integrador en discreto, como el definido en la siguiente expresion:

$$H(z) = \frac{1}{z - 1}, \quad (2.15)$$

En la siguiente figura se muestra un modulador Delta-Sigma de primer orden:

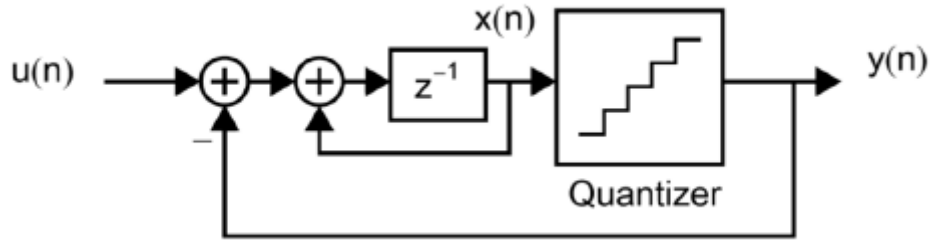


Fig. 2.10 Modulador $\Delta\Sigma$ de primer orden con conformado espectral de ruido [6].

El valor medio de la señal de entrada del integrador ha de ser igual a cero, es decir, los valores medios de la entrada y la salida han de ser iguales.

Si solo se utiliza un integrador dentro del modulador, solo se está introduciendo un cero en DC en la función de transferencia del ruido, por lo que se logra un conformado espectral de ruido de primer orden, quedando una señal de entrada $STF(z)$ definida por la siguiente expresión:

$$STF(z) = \frac{Y(z)}{U(z)} = \frac{1/(z - 1)}{1 + 1/(z - 1)} = z^{-1}, \quad (2.16)$$

La función de transferencia del ruido, $NTF(z)$ se define con:

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + 1/(z - 1)} = (1 - z^{-1}), \quad (2.17)$$

Analizando la expresión 2.16 se aprecia que $STF(z)$ es un retraso, mientras que la expresión 2.17 indica que $NTF(z)$ es un diferenciador de tiempo discreto, es decir, un filtro paso alto.

Luego entonces, la señal de salida del modulador $\Delta\Sigma$ se trata del valor cuantificado de la señal de entrada, pero retrasada un periodo de muestreo más la diferencia entre el error de cuantificación entre el valor actual y los anteriores.

Por último, se puede definir el $SNDR$ máximo con la siguiente expresión:

$$SNDR_{max} = 6,02N + 1,76 - 5,17 + 30 \log OSR, \quad (2.18)$$

La expresión 2.18 indica que al duplicar el OSR se mejora el $SNDR$ del modulador $\Delta\Sigma$ de primer orden en 9 dB.

2.2.5 Conformado espectral de ruido de segundo orden

Los moduladores $\Delta\Sigma$ también se pueden diseñar para tener un conformado espectral de ruido de ordenes mayores que uno. En la figura 2.11 se muestra un modulador $\Delta\Sigma$ de segundo orden [13]

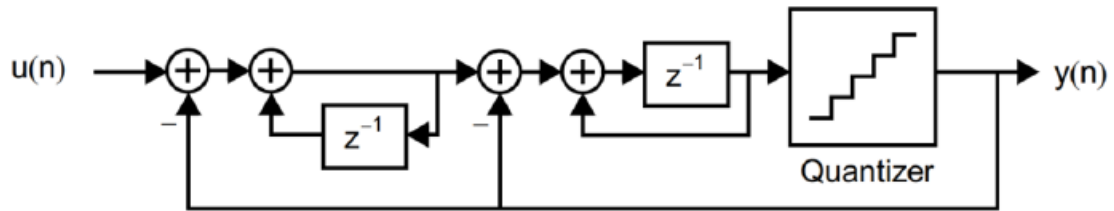


Fig. 2.11 Modulador $\Delta\Sigma$ de segundo orden con conformado espectral de ruido [6].

En este tipo de moduladores, el $SNDR$ máximo se define con la siguiente expresión:

$$SNDR_{max} = 6,02N + 1,76 - 5,17 + 50 \log OSR, \quad (2.19)$$

La expresión 2.19 indica que al duplicar el OSR se mejora el $SNDR$ del modulador $\Delta\Sigma$ de segundo orden en 15 dB.

2.2.6 Curvas de la función de transferencia del ruido

En este epígrafe se muestra en la figura 2.12 la representación grafica de como se comporta el conformado espectral de ruido para un ancho de banda concreto, tanto en moduladores $\Delta\Sigma$ tanto de primer orden como de segundo orden. En la figura se aprecia como al aumentar el orden del modulador, el ruido queda fuera del ancho de banda deseado

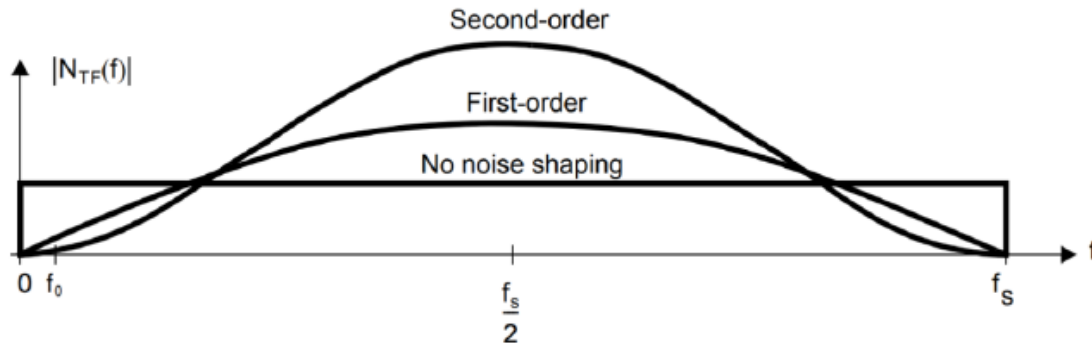


Fig. 2.12 Funciones de transferencia para el conformado de ruido espectral. [6]

2.3 Convertidor analógico-digital basado en oscilador en anillo controlado por tensión (VCO-ADC)

Los osciladores en anillo controlador por tensión (VCO) se utilizan en arquitecturas en convertidores analógico-digital para conseguir un desempeño similar al de los $\Delta\Sigma$ [14]. Los convertidores basados en osciladores en anillo se clasifican como convertidores analógico-digital en tiempo continuo y generan una señal cuya frecuencia es proporcional a la señal analógica de entrada, la cual se modula a través de la oscilación y luego se muestrea.

Los convertidores basados en VCO en bucle abierto tienen un bloque sigma, que hace de integrador, un bloque cuantificador y un bloque delta, que hace de diferenciador [15]. El esquema simplificado de estos convertidores se muestra en la siguiente figura:

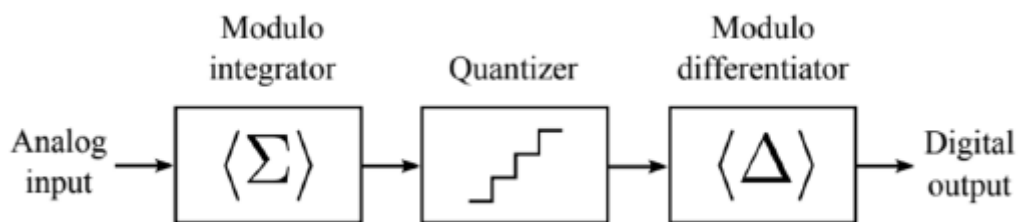


Fig. 2.13 Diagrama de bloques de un VCO-ADC en bucle abierto.

El esquema de la figura 2.13 se puede detallar más mostrando la linealización en el dominio de la frecuencia del VCO-ADC en bucle abierto tal y como muestra la figura 2.14.

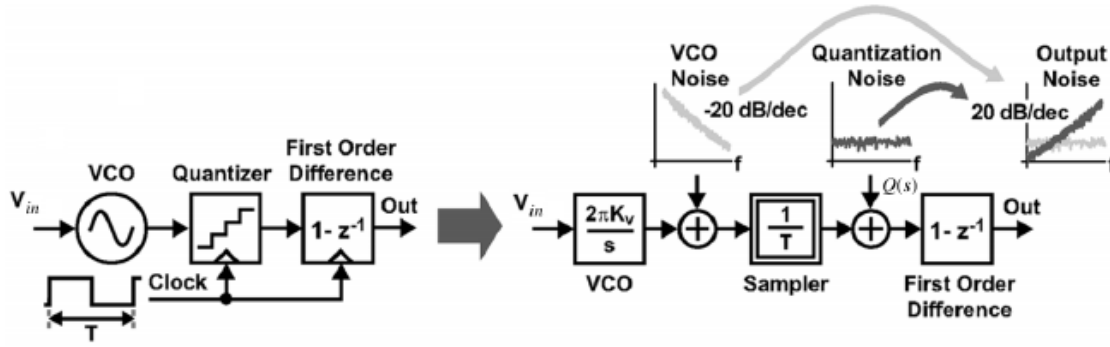


Fig. 2.14 Diagrama de bloques y modelo linealizado en el dominio de la frecuencia de un ADC Delta-Sigma de primer orden basado en un VCO en bucle abierto [16].

La entrada analógica (V_{in}) entra al VCO como tensión de control y sale como una señal cuadrada cuya frecuencia es proporcional a la entrada. El VCO genera un error de cuantificación y por eso se suma a la señal como $Q(s)$. En esta ocasión el VCO se comporta como un integrador y cuantificador. Posteriormente, la señal se muestrea y es aplicada la primera diferencia, produciendo la salida del convertidor.

2.4 Oscilador en anillo (VCO)

Un oscilador en anillo consiste en un circuito electrónico formado por una serie impar de inversores, en la que se realimenta la salida, tal y como muestra la figura 2.15. Este elemento se comporta como cuantificador y realiza el conformado espectral del ruido de primer orden en el ADC [8].

En la figura 2.15 se aprecia que el VCO tiene varias fases de salida, θ_n , por lo que se pueden combinar para generar oscilaciones en múltiples fases. Además, estas oscilaciones pueden ser de alta frecuencia con una tensión de alimentación baja, por lo tanto, la potencia consumida es menor mientras que se mantiene la resolución en la conversión tensión-frecuencia.

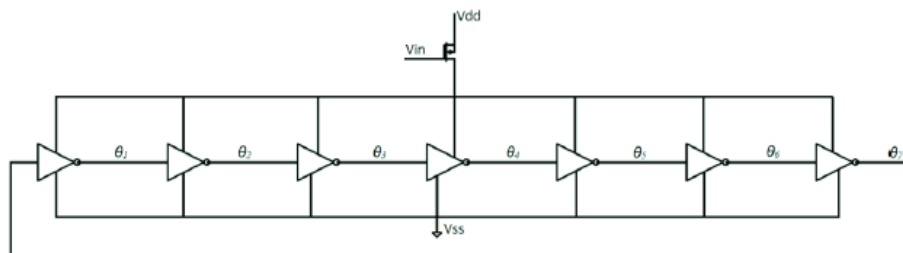


Fig. 2.15 Oscilador en anillo de siete fases.

Como se ha expuesto anteriormente, el VCO se comporta como un integrador de la señal de entrada ya que la fase del oscilador es una integral de su frecuencia, como se muestra en la expresión (2.20):

$$\theta(t) = 2\pi \int_0^t f_{osc}(\tau) d\tau = 2\pi f_0 \cdot t + 2\pi \cdot K_{VCO} \int_0^t x(\tau) d\tau, \quad (2.20)$$

donde $\theta(t)$ es la fase de salida de oscilador en anillo y K_{VCO} es la ganancia. Además, si esta salida se procesa de forma que la progresión de la fase se muestrea por pasos fijos, el oscilador en anillo se comporta como cuantificador del dominio de la fase.

La frecuencia de oscilación del VCO depende de la tensión de alimentación, el número de etapas y el retraso por etapa, τ_D . El oscilador tiene que ser autosostenido, es decir, que tenga un cambio de fase de 2π y ganancia unitaria. En un oscilador de *Metapas*, en cada etapa debe haber un cambio de fase de π/M mientras que el resto del cambio de fase de π lo genera la inversión en DC. Esto es, para producir un cambio de fase de 2π la señal ha de pasar por todas las etapas del anillo dos veces en un periodo de tiempo de $2M \cdot \tau_D$, por tanto, la frecuencia de oscilación en reposo del VCO viene dada por:

$$f_0 = \frac{1}{2M \cdot \tau_D}, \quad (2.21)$$

La variable principal para determinar la frecuencia, además de la tensión de alimentación, es el tiempo de retraso τ_D , que viene dado por los parámetros de los transistores que componen los inversores. Este tiempo de retraso es directamente proporcional al tamaño de los transistores, es decir, será menor cuanto más pequeños sean los transistores, mientras que si los tamaños son mayores el tiempo de retraso también será mayor. Esta relación se produce por las capacidades parasitas en los transistores, que hacen más lenta la transición entre '1' y '0' de los inversores.

Finalmente, la frecuencia de oscilación del VCO se determina con la siguiente expresión:

$$f_{osc} = f_0 + K_{VCO} \cdot x(t), \quad (2.14)$$

donde $x(t)$ es la señal de entrada, considerada adimensional y acotada entre -1 y 1, f_0 es la frecuencia central de oscilación en reposo cuando $x(t) = 0$, expresada en Hz, K_{VCO} es la ganancia del oscilador en anillo, también expresada en Hz.

Sin embargo, no son todas ventajas a la hora de utilizar un VCO para un ADC para conseguir un trabajo similar al de un modulador $\Delta\Sigma$. Una de las complicaciones que tiene el uso del VCO es que no es lineal [17], provocando armónicos en el espectro de la frecuencia de la salida por lo que se limita la resolución del convertidor. Este inconveniente es debido a la no linealidad entre el retraso en los inversores con respecto a la tensión de alimentación. Además, también sucede que el conformado espectral del ruido es de primer orden debido a la arquitectura, por lo que la resolución está limitada.

A continuación, se detallará el VCO-ADC diseñado, mediante la presentación de los resultados obtenidos, el diseño de los circuitos a nivel de transistor, el análisis de sensibilidad al ruido y el análisis de potencia para determinar su eficiencia.

3. VCO-ADC EN TECNOLOGÍA CMOS DE 65 NM

Una vez expuestos los principios básicos para comprender los convertidores y los moduladores $\Delta\Sigma$, se pondrán en práctica estos conceptos para el diseño del convertidor analógico-digital basado en un oscilador en anillo. Este capítulo detalla el diseño del convertidor en bucle abierto con conformado espectral de primer orden, tal y como se ha expuesto en el epígrafe 2.3 del Estado del Arte. El objetivo del trabajo consiste en diseñar los tamaños de los transistores del convertidor para mejorar su resolución sin aumentar el orden de conformado espectral de ruido al escalar la tecnología a 65 nm. Además, se buscan obtener unos niveles aceptables de SNR, SNDR, potencia y área ocupada.

En este capítulo se utilizará como referencia para comparar el diseño realizado un VCO-ADC ideal, el cual será detallado en la primera parte del capítulo. Además, esta arquitectura ideal del VCO-ADC será la utilizada para fundamentar el diseño realizado en este trabajo.

Para realizar el estudio, primero se hacen modelos ideales en VerilogA seguidamente del estudio de los modelos a nivel transistor en el software Virtuoso Cadence.

A continuación, se detallan los circuitos diseñados a nivel de transistor en el epígrafe 3.2, mostrando los esquemáticos y dimensiones de los transistores, el procedimiento para el diseño además de una explicación del funcionamiento de cada uno.

En la sección 3.3, se realiza un análisis de sensibilidad del ruido en el oscilador en anillo que es el componente más afectado por el ruido.

3.1 Desarrollo de la idea

Tal y como se ha descrito anteriormente, se comienza detallando la arquitectura de un VCO-ADC con conformado espectral de ruido de primer orden para un desempeño similar a un convertidor Delta-Sigma de primer orden. En la figura 3.1 se ilustra el esquemático de este convertidor y será analizado tanto de forma ideal con bloques en VerilogA como a nivel de transistor con Virtuoso Cadence, permitiendo familiarizarse con los parámetros significativos de estos convertidores y poder trabajar en los objetivos marcados al comienzo de este trabajo. Se comenzará por un desarrollo teórico de esta arquitectura convencional.

Este epígrafe expone apoyándose en los fundamentos descritos en el epígrafe 2.3 del Estado del Arte el funcionamiento del VCO-ADC convencional, el cual será utilizado como base para el diseño de la propuesta de este trabajo. Hay numerosos artículos en los que se diseña y estudia este tipo de arquitectura como los citados en la bibliografía [16].

Como se ha expuesto en el comienzo del capítulo, primero se realizará un análisis en VerilogA, para obtener los parámetros ideales que definirán unas especificaciones teóricas. A partir de estos resultados, se continua con el diseño de circuitos a nivel de transistor en tecnología de 65 nm con la herramienta de diseño Virtuoso Cadence.

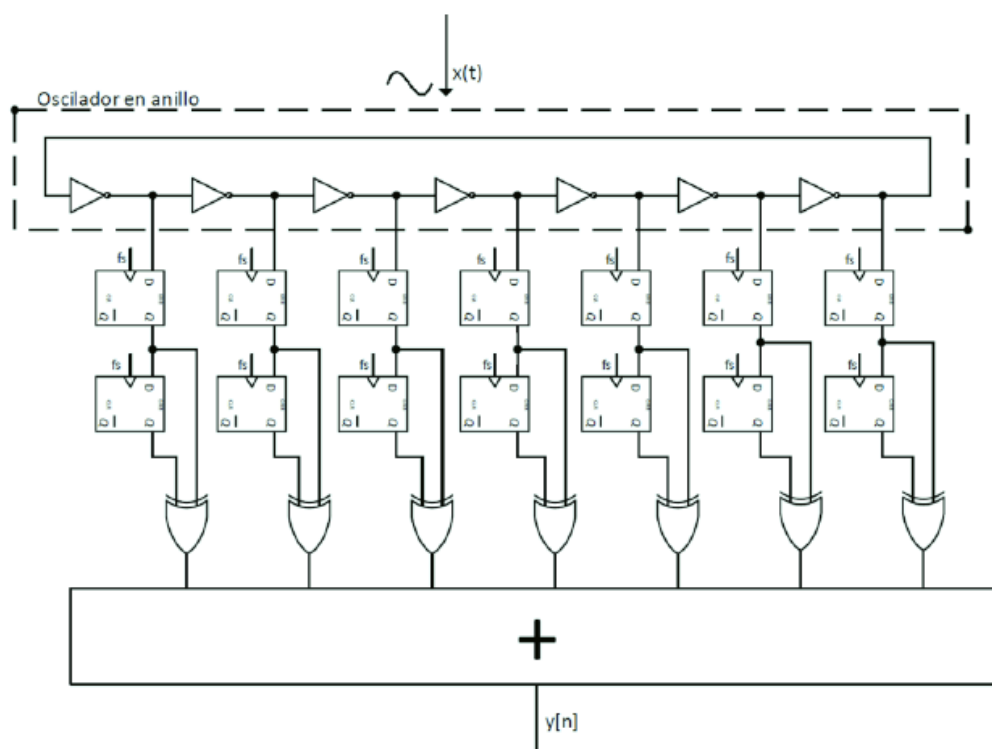


Fig. 3.1 Esquemático de la arquitectura convencional de un VCO-ADC.

A partir de la figura 3.1 se pueden señalar varios bloques y señales para un mejor entendimiento del funcionamiento del convertidor. Los bloques de muestreo y diferenciador son implementados mediante el uso de dos biestables tipo D y una puerta XOR, respectivamente. Estos circuitos digitales son los encargados de la demodulación de las señales a la salida de las distintas fases de oscilador en anillo. Como se muestra en la figura 3.2, a un biestable entra una de las fases del VCO, pasa al siguiente biestable y las salidas de ambos van hacia una XOR, la cual genera la salida y_i . El bloque que reúne

todas las salidas de las puertas XOR se realiza en VerilogA, agrupándolas en una única señal para poder trabajar con ella.

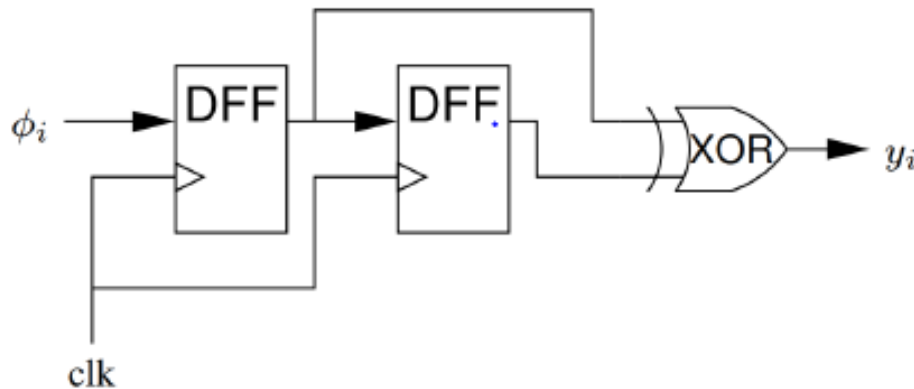


Fig. 3.2 Esquema de la demodulación digital de las fases de salida del VCO [14].

A continuación, se exponen algunas figuras con el comportamiento en simulación para mostrar mas ampliamente el funcionamiento del VCO.

El oscilador en anillo se alimenta mediante un transistor *source follower*⁷, el cual hace la función de transconductor para el circuito, es decir, convierte la tensión de la señal de entrada en corriente. En la figura 3.3 se puede observar la señal que entra al transistor y la corriente que genera. Las salidas del oscilador en anillo consisten en un tren de pulsos cuya frecuencia de oscilación y amplitud varían con la tensión de entrada. En la figura 3.4 (a) se muestra la primera fase de salida del VCO ideal diseñado en VerilogA, en los que los valores llegan al nivel de alimentación, y en (b) la del VCO real diseñando sus transistores, en la que se aprecia un valor de pico de 400 mV, aunque estos aumentan hasta 420 mV o disminuyen hasta 380 mV según la amplitud de la señal de entrada. Para poder cuantificar estos valores digitalmente es necesario aumentar el nivel de tensión de las fases del VCO por lo que es necesario el uso de un circuito *level shifter* para amplificar.

La frecuencia de oscilación generada por el oscilador en anillo junto con la señal de entrada se puede apreciar en la figura 3.5. Esta señal de entrada se corresponde con la ecuación dada en (2.1), teniendo una amplitud de 8.48 mV y un offset de 530 mV. Por otra parte, la frecuencia de oscilación del está centrada en aproximadamente 100 MHz y

⁷ También conocido como amplificador de drenador común.

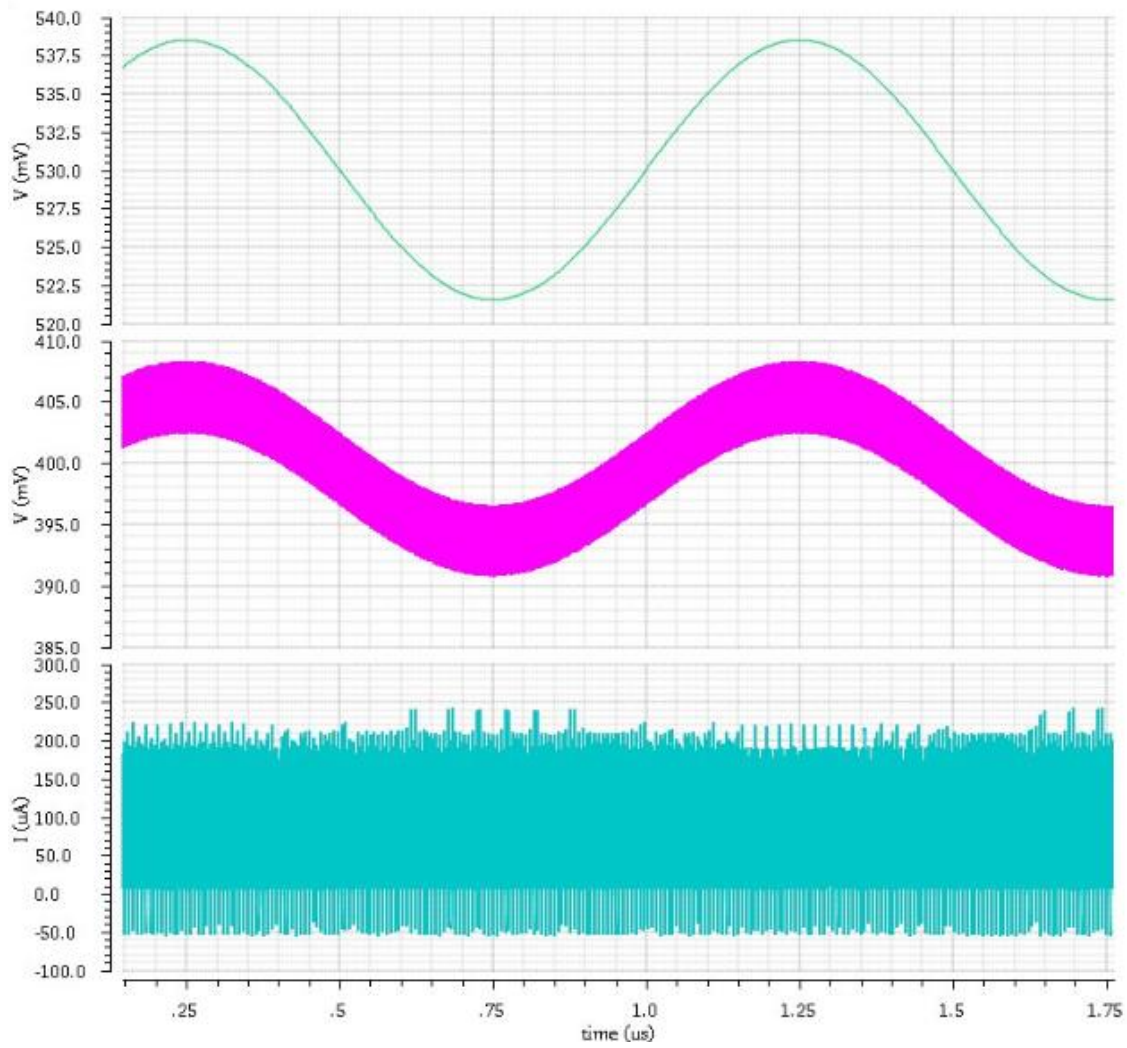
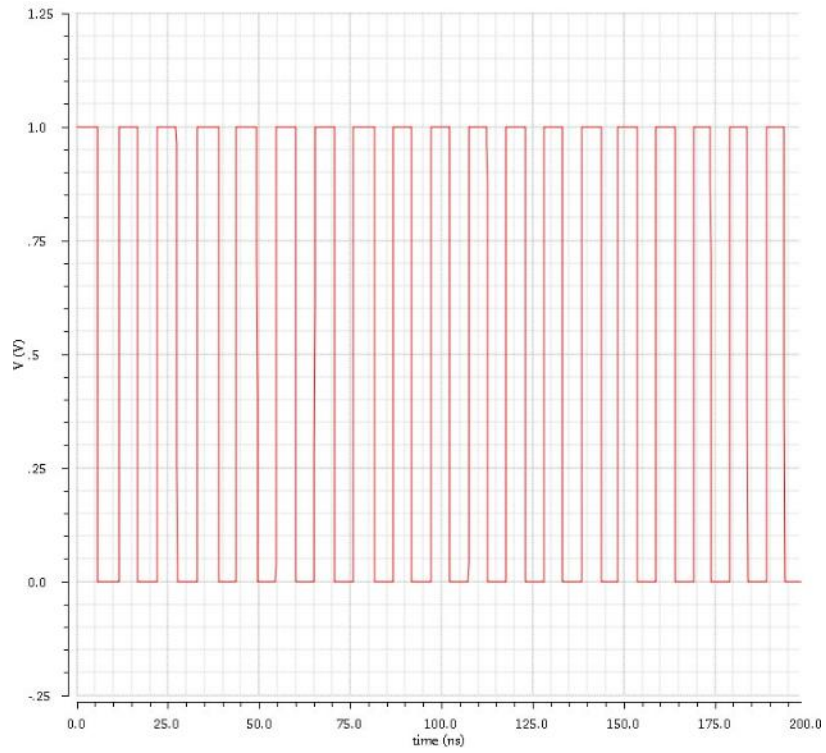


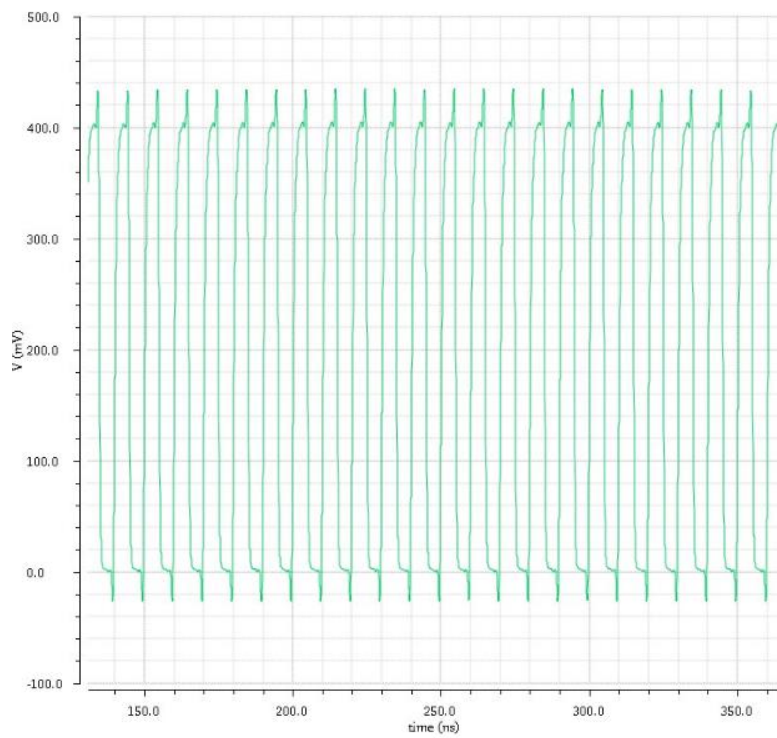
Fig 3.3 Señal de entrada al *source follower* y tensión y corriente que genera para alimentar al oscilador en anillo.

la ganancia del oscilador es $K_{VCO} = 3.175$. Esta ganancia está limitada, ya que al tratarse de un ADC la frecuencia de oscilación máxima es $f_s/2$ creando esta limitación. Se puede apreciar una de las fases de salida del oscilador en anillo en la figura 3.4 oscilando a la frecuencia mostrada en la figura 3.3. Siendo la señal de entrada como la definida en (2.1) si aumenta la tensión, aumenta también el tiempo de retraso, τ_D , y decrece según la tensión de entrada disminuye. La influencia del tiempo de retraso sobre la frecuencia de oscilación se define en (2.21). Se define la frecuencia de oscilación en un oscilador en anillo con N inversores, la cual equivale a un oscilador de una única fase mediante la siguiente ecuación:

$$f'_{osc} = N \cdot f_0, \quad (3.1)$$



(a)



(b)

Fig 3.4 (a) Señal de salida del VCO ideal diseñado en VerilogA. (b) Señal de salida de la primera fase del oscilador en anillo diseñado a nivel transistor.

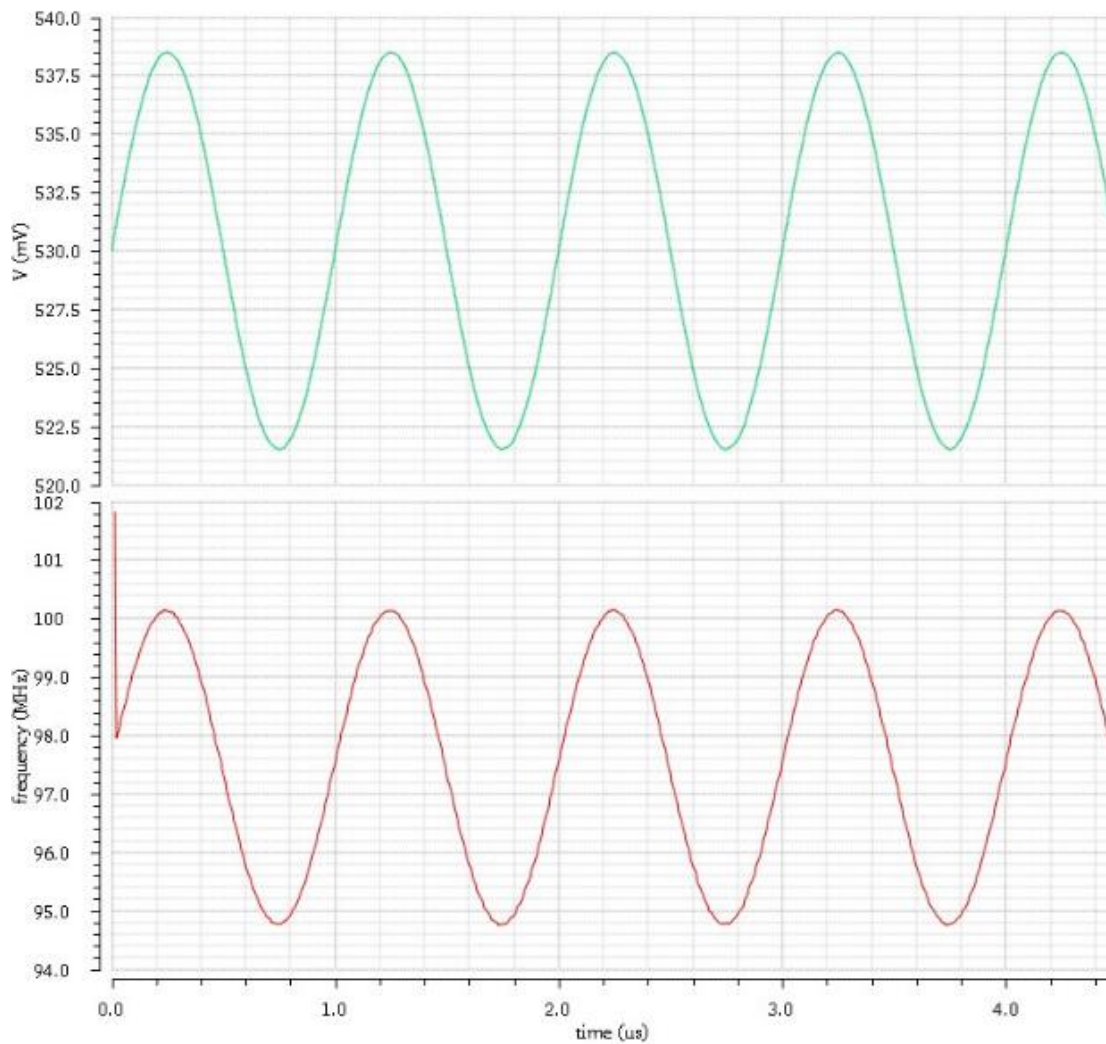


Fig. 3.5 Señal de entrada y frecuencia de oscilación del VCO.

En la figura 3.6 se observan las siete fases de salida del oscilador en anillo, las cuales son la inversa de la anterior, debido a los inversores que componen el oscilador.

Como se aprecia en la figura 3.6, tal y como se ha mencionado anteriormente, las fases de salida del VCO no llegan al nivel de tensión de la alimentación, por lo que es necesario elevar estas salidas hasta dicho nivel para trabajar con ellas en las etapas de demodulación digital. Para ello se coloca un circuito *level shifter* entre las fases de salida del oscilador y los biestables. Este circuito se comporta como amplificador y su señal de salida es totalmente digital, variando entre la alimentación y masa. Se puede apreciar el comportamiento del *level shifter* en la figura 3.7 la cual muestra como eleva la fase de la salida del VCO hasta la tensión de alimentación (700 mV) y baja el nivel bajo hasta masa,

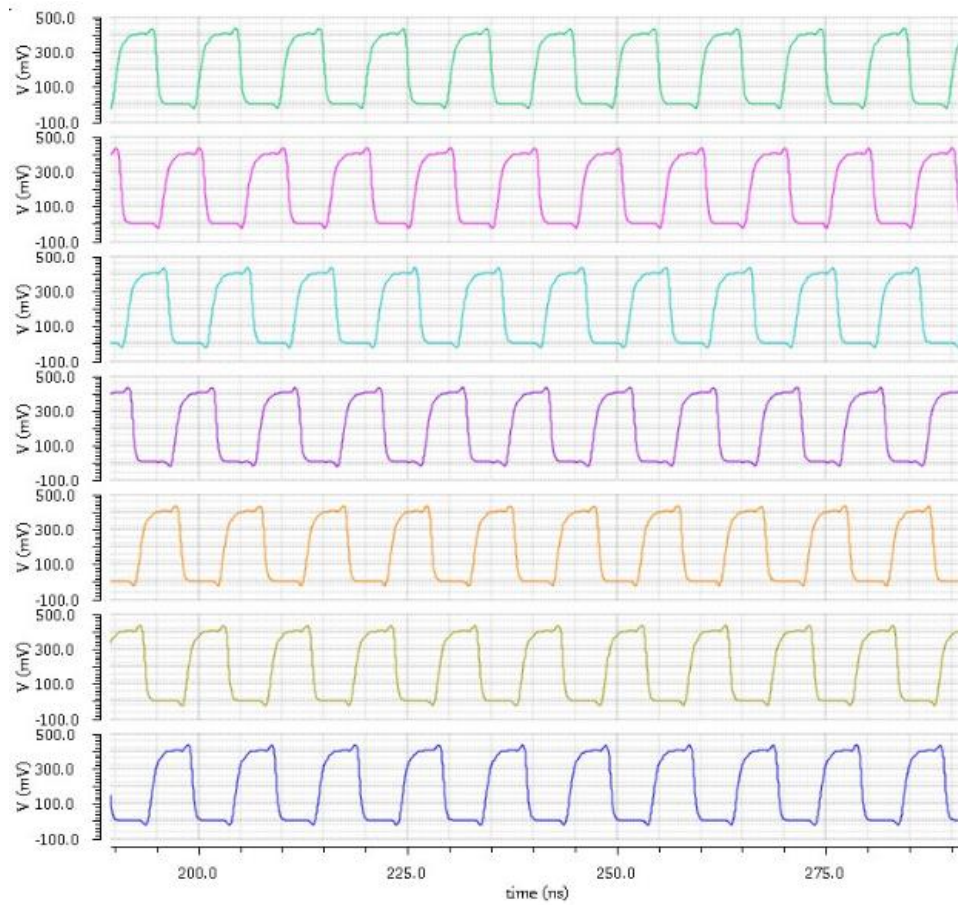


Fig 3.6 Salidas de las siete fases del oscilador en anillo.

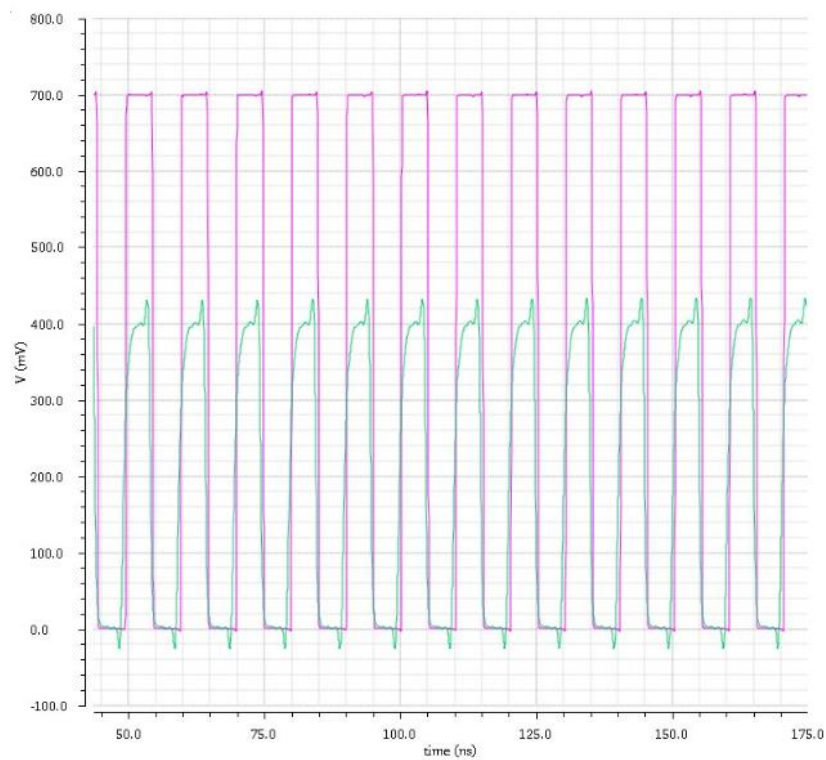


Fig 3.7 Señal de salida de una fase del VCO y señal amplificada por el *level shifter*.

corrigiendo las oscilaciones ocasionadas por las conmutaciones de los inversores. El retraso que se observa es debido a que hasta que la señal del VCO no llega a la tensión umbral de los transistores del *level shifter* estos no comienzan a amplificar la señal, pero como es constante para cada pulso, no afecta al funcionamiento del sistema.

Tras la amplificación del *level shifter* la señal se demodula. Este proceso se realiza en cada una de las fases del oscilador en anillo mediante dos biestables tipo D⁸ en serie, que trabajan a una frecuencia de muestreo al menos el doble de rápida de la frecuencia de oscilación. A continuación, se aplica la primera diferencia de estas dos medidas utilizando una puerta XOR. Este proceso es realizado con el objetivo de obtener los pulsos que generan cada una de las fases del oscilador en anillo. Este proceso también se realiza de manera ideal en VerilogA y luego se implementa de forma real a nivel de transistor. La figura 3.8 muestra el resultado de la primera diferencia de una de las fases de forma ideal, y la figura 3.9 muestra el resultado de la primera diferencia de una de las fases de forma real.

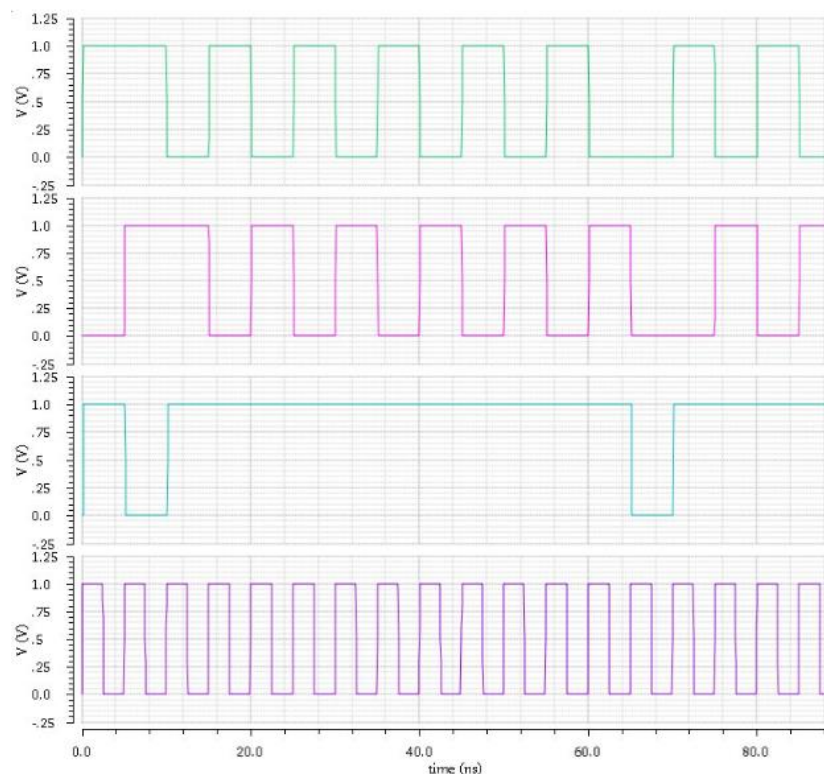


Fig 3.8 Resultado de la primera diferencia, señales de salida de los biestables D, la puerta XOR y la señal de reloj ideales diseñados en VerilogA.

⁸También conocido como *flip-flop delay*, este tipo de biestable pasa a su salida Q el valor de la entrada D cuando llega un flanco de reloj.

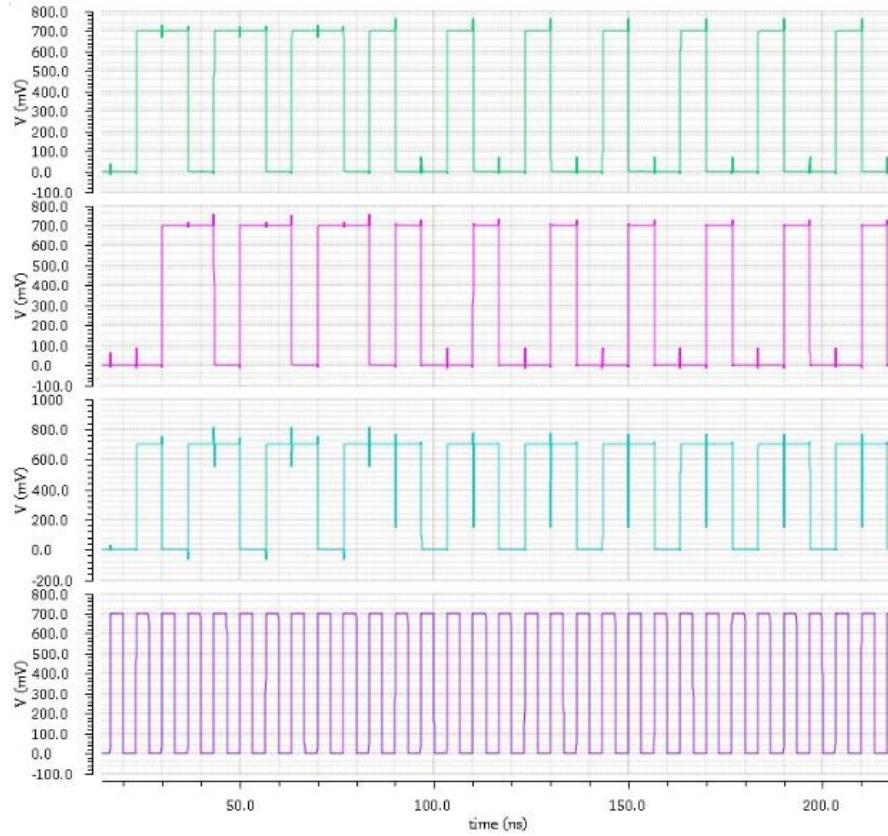


Fig 3.8 Resultado de la primera diferencia, señales de salida de los biestables D, la puerta XOR y la señal de reloj reales diseñados a nivel de transistor.

Finalmente, para mejorar la resolución del convertidor, se combinan las salidas de las puertas XOR en una un bus con una única señal que contiene las siete fases de salida del VCO.

Tras verificar el funcionamiento del convertidor, mediante el modelo ideal de VerilogA y el modelo real con transistores, se procede a realizar un estudio del ruido del convertidor.

A partir de la expresión (2.6) descrita en el Estado del Arte se define a ecuación para obtener el SNDR:

$$SNDR_{max} = 10 \log \frac{P_s}{P_e}, \quad (3.2)$$

Una vez obtenido el SNDR se puede calcular el *Effective Number of Bits (ENOB)* mediante la ecuación (3.3):

$$ENOB = \frac{SNDR - 1,76}{6,02} \quad (3.3)$$

Donde P_s es la potencia la señal de entrada y P_e la potencia del ruido de cuantificación. Los resultados obtenidos para el modelo real con transistores se analizarán en el epígrafe final del capítulo.

Como se trata de un circuito *single-ended*, es decir, una única salida, esta presenta armónicos pares. Estos armónicos se pueden atenuar bastante mediante una configuración diferencial de la arquitectura, que consiste en dos entradas y dos salidas (una negativa y otra positiva) las cuales tienen el mismo modulo, pero se encuentran desfasadas π radianes, lo que permite que los armónicos pares disminuyan ampliamente. Expandiendo en serie de potencia la salida de un circuito se obtienen las siguientes ecuaciones:

$$V_{out+} = k_1 V_{in} + k_2 V_{in}^2 + k_3 V_{in}^3 + \dots, \quad (3.4)$$

$$V_{out-} = k_1 (-V_{in}) + k_2 (V_{in}^2) + k_3 (-V_{in}^3) + \dots, \quad (3.5)$$

$$V_{out} = 2k_1 V_{in} + 2k_3 V_{in}^3 + \dots, \quad (3.6)$$

donde k_1 , k_2 y k_3 son constantes. Se aprecia que al sumar las ecuaciones (3.4) y (3.5) se eliminan los términos elevados al cuadrado, es decir, el segundo armónico, sin embargo, los términos elevado al cubo, es decir, el tercer armónico, no se eliminan.

Un esquema de la configuración diferencia del VCO-ADC se muestra en la figura 3.9

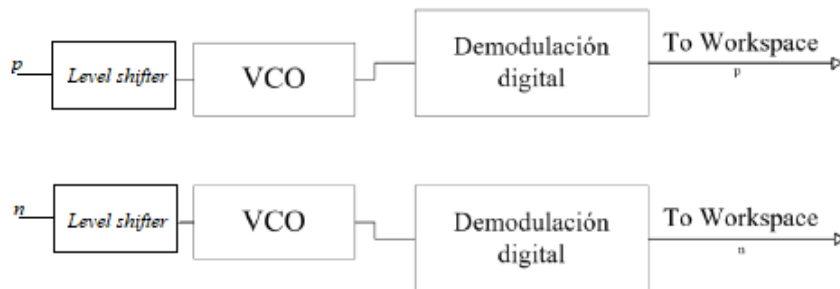


Fig 3.9 Esquema del VCO-ADC en configuración diferencial

El análisis de sensibilidad frente al ruido en configuración diferencial también se realizará al final de este capítulo.

3.2 Diseño de circuitos a nivel de transistor

Los circuitos diseñados para implementar la arquitectura del convertidor analógico digital basado en el oscilador en anillo son detallados en este epígrafe. Se realiza una breve explicación del circuito, cómo funciona, el por qué la elección de dicho diseño y dimensiones de los transistores además del planteamiento utilizado. Como se ha mencionado anteriormente, el diseño y simulaciones de estos circuitos ha sido realizado en el software Virtuoso Cadence.

3.2.1 Alimentación

El convertidor y todos los circuitos que lo componen utilizan la misma alimentación para tener un correcto funcionamiento. Por tanto, en este epígrafe expone la tensión utilizada, así como la nomenclatura que se usa para todos los circuitos, tal y como ilustra la figura 3.10. El valor nominal de la alimentación es 700 mV. Como se explica en el Estado del Arte, la frecuencia de oscilación del oscilador en anillo depende, aparte del tamaño de los transistores que lo componen, de la tensión a la que está alimentado. Por tanto, uno de los motivos por los que la alimentación tiene un valor de 700 mV es para lograr la frecuencia de oscilación y los parámetros de ruido objetivo.

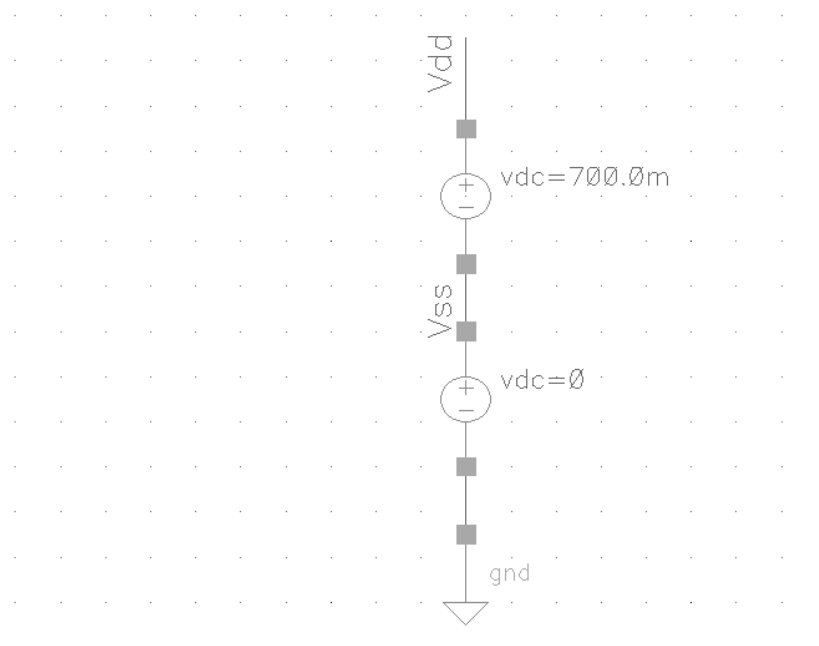


Fig 3.10 Esquemático de la alimentación utilizada para los circuitos de VCO-ADC.

Otro de los motivos de mayor peso para establecer la alimentación en este valor es para reducir el consumo de potencia de los circuitos. A este valor de tensión se le da la etiqueta de V_{DD} , con el que se le referirá de ahora en adelante. Por otra parte, se establece un valor de masa de 0 V, el cual es un valor común a todos los circuitos del convertidor, y consiste en un voltaje relativo en comparación con la tierra real de una instalación, el cual si es 0 V absolutos. A este valor se le da la etiqueta de V_{SS} . En la figura 3.10 se muestra el esquemático utilizado en Virtuoso Cadence junto con las etiquetas que se utilizarán en el resto de los circuitos del convertidor.

Para mayor claridad a la hora de diseñar el circuito, se utilizan etiquetas con el mismo nombre en cables separados para indicar una conexión entre ellos. Esta característica de la herramienta de diseño se utiliza mucho en los otros circuitos para conectar la alimentación y la masa.

3.2.2 Transistor *source-follower*

Este transistor hace la función de transconductor, es decir, se utiliza para transformar en corriente una señal de tensión. Este transistor se encarga de alimentar el oscilador en anillo conectándose tal y como muestra la figura 2.15. La figura 3.11 muestra el transistor.

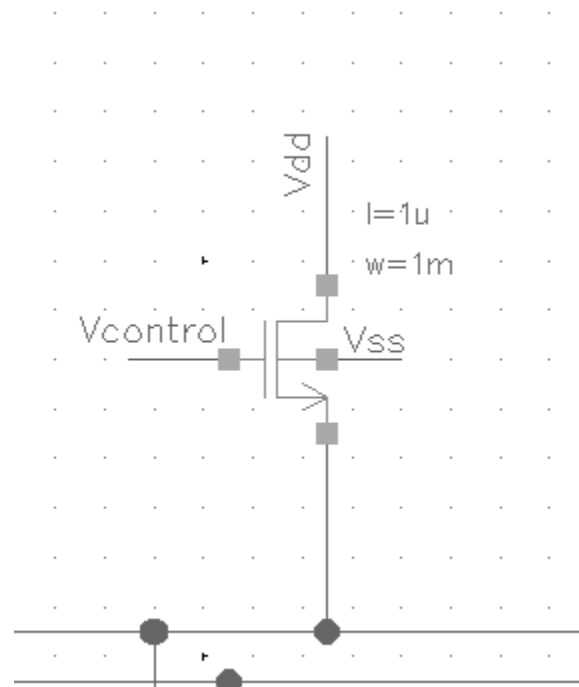


Fig 3.11 Esquemático del transistor *source follower*.

El transistor al ser de tipo N tiene su *bulk* conectado a masa, el drenador a V_{DD} , la fuente al oscilador en anillo y la puerta a la señal con la que se va a trabajar. Las dimensiones del *source follower* son diseñadas para que el transistor tenga la ganancia suficiente como para alimentar al VCO y conseguir que la SNR y SNDR esten dentro de los valores deseados. Estos tamaños y ganancia se exponen en la tabla 3.1.

Tamaño de los transistores	
W	1 mm
L	1 μm
g_m	0.778 V/V

TABLA 3.1 TAMAÑOS DEL TRANSISTOR *SOURCE FOLLOWER*

3.2.3 Oscilador en anillo

Tal y como se ha explicado en la sección 2.4 del Estado del Arte, este circuito es un oscilador controlado por tensión, alimentado por la corriente que genera el transistor *source follower*. El diseño sigue el esquema de la figura 2.15, compuesto por siete inversores en serie. La figura 3.12 muestra el esquemático de uno de los inversores que forman el oscilador. Este está compuesto por dos transistores, uno P cuya fuente y *bulk* se conecta directamente a V_{DD} y otro N cuya fuente y *bulk* se conectan directamente a V_{SS} . Ambas puertas de los transistores están conectadas entre sí y es por donde entra la señal (etiqueta V_{in}) y los drenadores de los dos transistores también están conectados entre sí, siendo este nodo la salida del inversor (etiqueta V_{out}). Los tamaños diseñados para el inversor se recogen en la tabla 3.2

Tamaños de los transistores		
	P	N
W	100 μm	60 μm
L	700nm	700nm

TABLA 3.2 TAMAÑOS DE LOS TRANSISTORES DE LOS INVERSORES QUE COMPONEN EL OSCILADOR EN ANILLO.

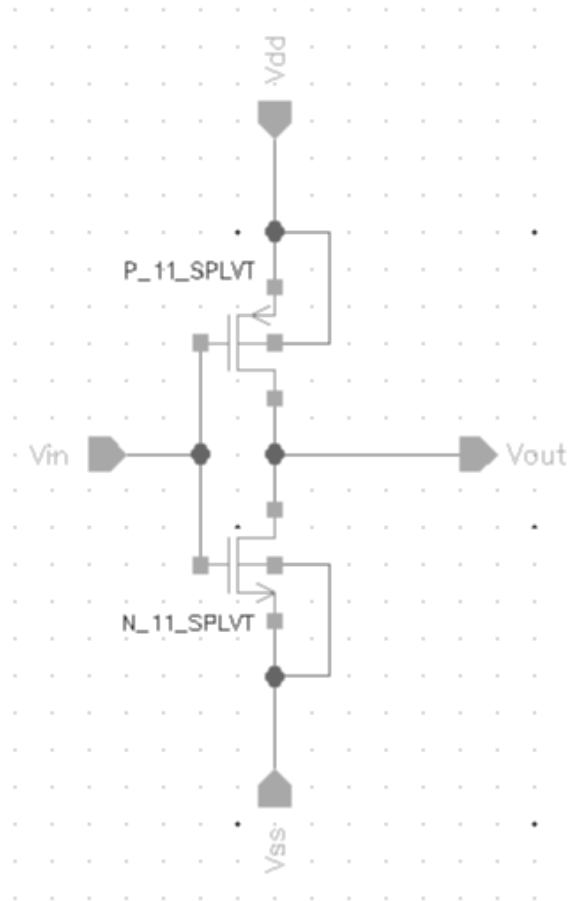


Fig 3.12 Esquemático a nivel transistor de los inversores que componen el oscilador en anillo.

El ancho del transistor P es necesario que sea 2,5 veces mayor que el del transistor N, lo que permite que el punto de conmutación de la salida se encuentre justo en la mitad de la alimentación (350 mV). En este diseño se utiliza un transistor PMOS de ancho $W = 200 \mu\text{m}$ y de largo $L = 1.2 \mu\text{m}$ junto con un transistor NMOS de $W = 80 \mu\text{m}$ y $L = 1.2 \mu\text{m}$, cumpliendo la relación mencionada anteriormente.

Estos tamaños han sido diseñados para, siguiendo la expresión (2.21) del Estado del Arte, definir una frecuencia de oscilación que viene dada por el retraso de estos inversores, ya que los tamaños son los parámetros con mayor impacto en el tiempo de retraso, el cual es directamente proporcional al tamaño lo que hace que al ser más grandes la frecuencia de oscilación será menor. Otro factor a tener en cuenta respecto al cálculo de la frecuencia de oscilación del VCO es la carga de salida, pero en el caso de esta arquitectura, consiste solo en el *level shifter*, los biestables y las puertas XOR, que mantienen constante la frecuencia de oscilación en reposo ya que son una carga estable. Además, el tamaño de los transistores también tiene bastante repercusión en la SNR y SNDR del oscilador. Por

tanto, para cumplir con los valores objetivo del VCO se han utilizado siete inversores con las dimensiones recogidas en la tabla 3.2.

3.2.3 Level shifter

El *level shifter* consiste en un circuito formado por transistores CMOS que se encarga de amplificar la señal [18]. En el caso de este trabajo es necesario debido a que la señal de las fases de salida del oscilador en anillo no llega a los niveles de alimentación y, por tanto, no son compatibles con los circuitos digitales. En la figura 3.13 se muestra el esquemático diseñado para el *level shifter*.

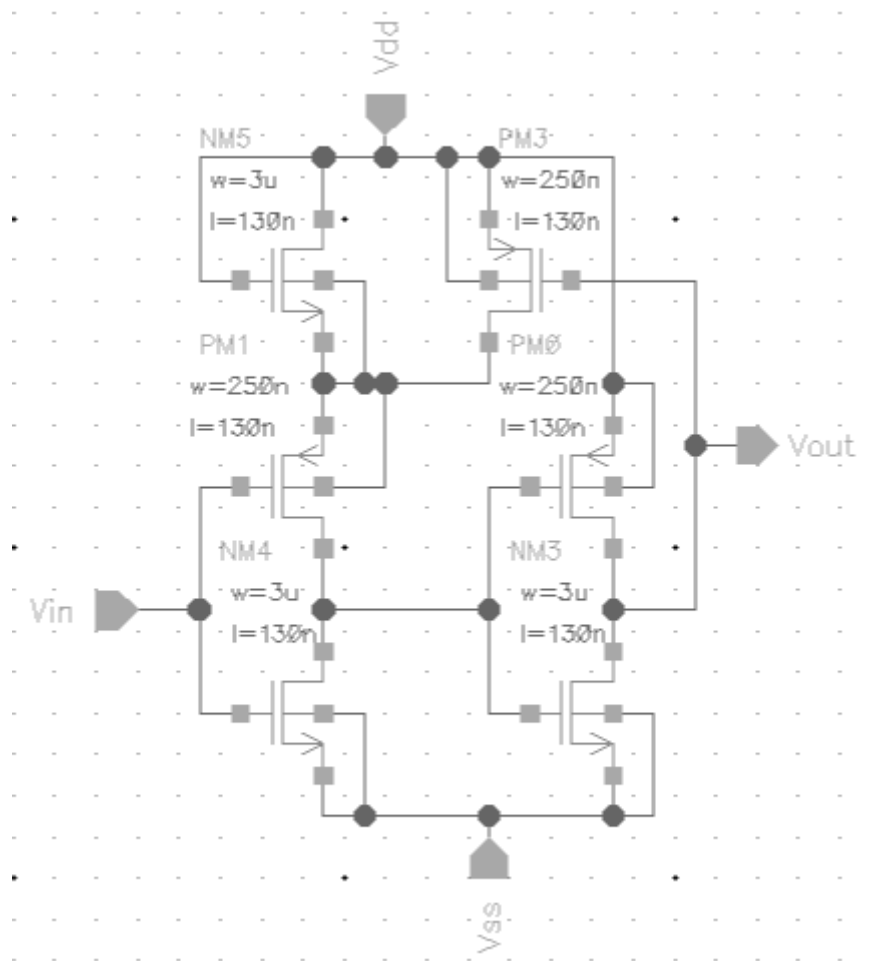


Fig 3.13 Esquemático a nivel transistor del *level shifter*

Por la entrada con la etiqueta V_{in} llega la señal de una fase de salida del VCO y se amplifica saliendo por la etiqueta V_{out} por donde se mandará a la etapa de demodulación. Los circuitos *level shifter* normalmente cuentan con dos niveles de alimentación [18] pero en el caso del diseño de la arquitectura de este trabajo, se quiere usar una única

alimentación, por eso los transistores utilizan V_{DD} y V_{SS} . En la tabla 3.3 se recogen los tamaños que utilizan los transistores del circuito.

Tamaños de los transistores		
	P	N
W	250 nm	3 μm
L	130 nm	130 nm

TABLA 3.3 TAMAÑOS DE LOS TRANSISTORES DEL *LEVEL SHIFTER*.

El largo tanto para los transistores P como para los transistores es de 130 nm, el doble de la tecnología mínima para que la velocidad de conmutación sea lo suficientemente rápida como para seguir la frecuencia del oscilador en anillo y para que tengan una tensión umbral V_{th} adecuada para el funcionamiento del circuito. Cabe destacar que, a diferencia de los inversores del VCO, los transistores NMOS son más anchos que los transistores PMOS. Este diseño en las dimensiones es debido a que la tensión de salida del oscilador en anillo no llega al nivel medio de la alimentación, por tanto, es necesario dimensionar los transistores de tal manera para que el punto de conmutación de estos fuera alrededor de los 250 mV.

Para obtener una salida con los niveles de la alimentación, el transistor NMOS NM5 crea una tensión de alimentación virtual más bajo mediante su tensión umbral V_{th} para el inversor por el que entra la señal del oscilador en anillo (PM1 y NM4). La salida de este inversor es un *half latch*⁹ el cual sube la señal de entrada al siguiente inversor (PM0 y NM3) hasta V_{DD} para evitar pérdidas. Cuando la señal de entrada V_{in} es un nivel alto el voltaje en el nodo de unión de NM5 con PM1 es la diferencia entre V_{DD} y la tensión umbral del transistor NM5 V_{th} con el objetivo de reducir la tensión puerta-fuente del transistor PM1 para que no conduzca. Cuando la señal de entrada V_{in} es un nivel bajo, el transistor PM3 se activa mediante la realimentación por lo que permite la conducción de la tensión de alimentación hasta el nodo de unión de NM5 con PM1 compensando la caída de tensión de V_{th} , por lo tanto, la alimentación del inversor compuesto por PM1 y NM4 cambia dinámicamente entre V_{DD} y $V_{DD} - V_{th}$ dependiendo de la señal de entrada.

⁹ Realimentación positiva hacia la puerta de un transistor.

3.2.4 Biestable

En el bloque de demodulación de la señal se emplean dos biestables tipo D para registrar y tomar muestras, como se ha mostrado en la figura 3.14. Estos biestables permiten almacenar un dato de entrada siempre que se active un flanco de subida de la señal de reloj. Este circuito se representa comúnmente con el símbolo que se muestra en la figura 3.14, el cual ha sido diseñado en Virtuoso Cadence.

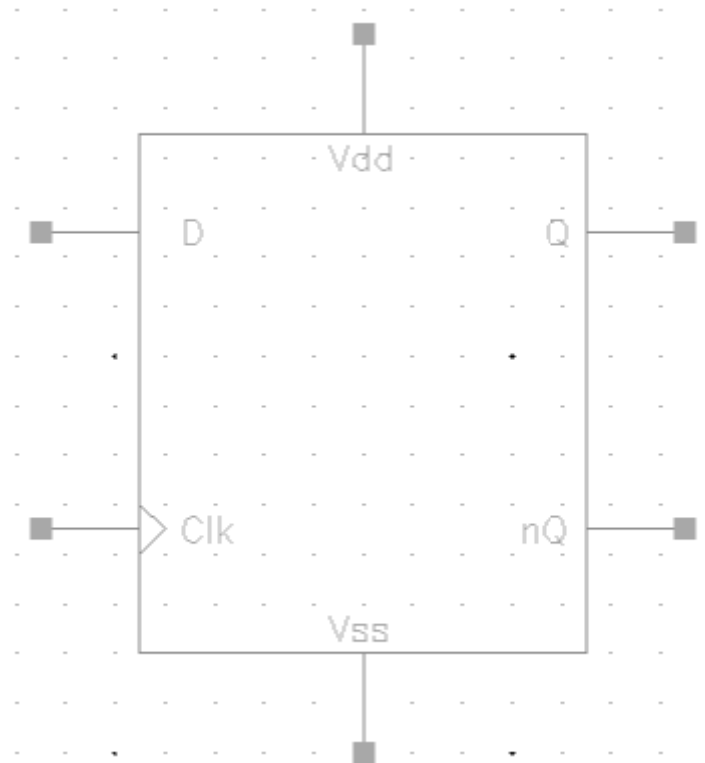


Fig 3.14 Símbolo del biestable D

El bloque está alimentado entre V_{DD} y V_{SS} , como el resto de los circuitos de la arquitectura del convertidor, tiene dos entradas D y Clk para el dato y la señal de reloj, respectivamente, y dos salidas Q y nQ por las que se muestra la señal registrada y la señal registrada negada.

La arquitectura utilizada en el diseño de los biestables está basada en *True Single Phase Clocking (TSPC)* [19] la cual permite un consumo de potencia menor y ocupa menos área ya que tiene menos transistores que otras topologías de biestables. En la figura 3.15 se muestra el circuito diseñado a nivel de transistor.

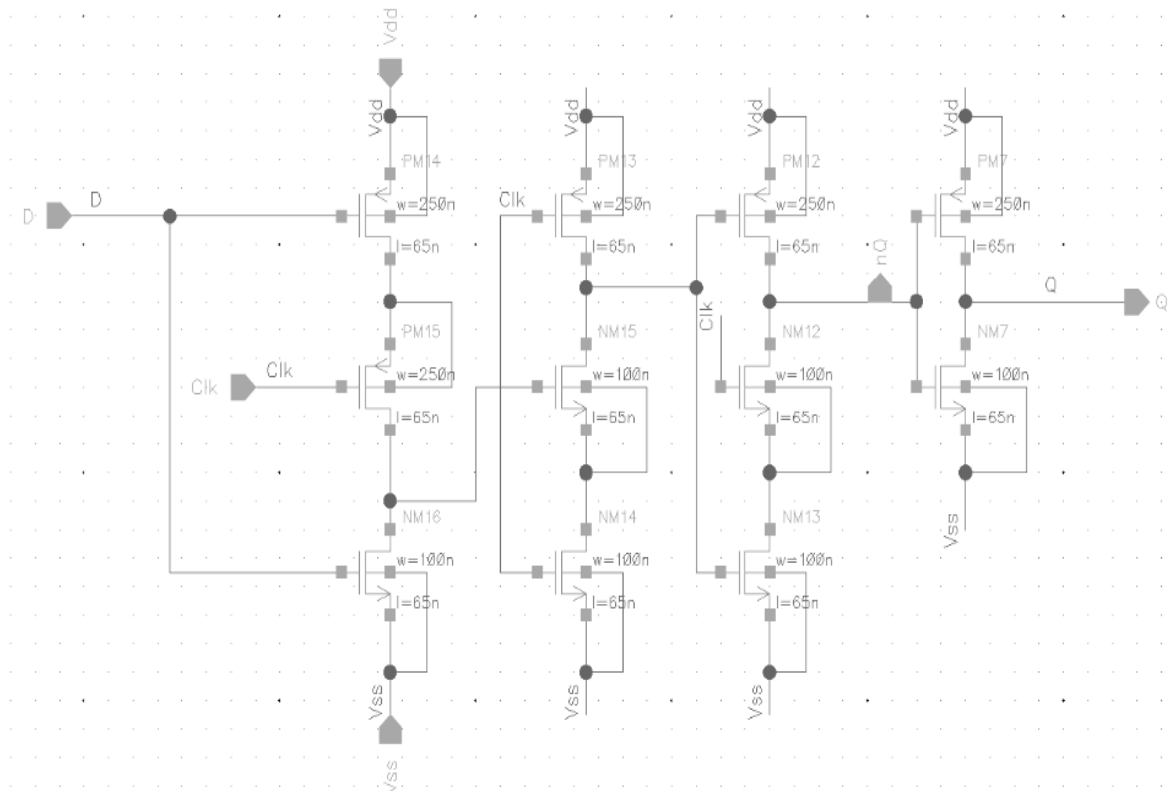


Fig 3.15 Esquemático a nivel transistor del biestable D

Todos los transistores que componen el circuito están diseñados con la tecnología mínima de la arquitectura, $L = 65 \text{ nm}$, mientras que el ancho de los transistores PMOS es de $W = 250 \text{ nm}$ y en los transistores NMOS es de $W = 100 \text{ nm}$. Con estas dimensiones se logra un funcionamiento preciso y estable. Estas dimensiones se recogen en la tabla 3.4.

Tamaños de los transistores		
	P	N
W	250 nm	100 nm
L	65 nm	65 nm

TABLA 3.4 TAMAÑOS DE LOS TRANSISTORES DEL BIESTABLE D

3.2.5 Puerta XOR

Este circuito digital se implementa, como se ha mostrado en la figura 3.1, tras los biestables D para realizar la primera diferencia de las salidas de estos. Para mejorar la comprensión del circuito se expone en una tabla de verdad el funcionamiento de la puerta lógica:

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

TABLA 3.5 TABLA DE VERDAD PARA UNA PUERTA XOR CON DOS ENTRADAS Y UNA SALIDA.

En la tabla se puede apreciar que para que se active la salida (siendo el valor lógico ‘1’ la alimentación) es necesario que las dos entradas sean distintas, mientras que si ambas entradas son iguales la salida no se activará (siendo el valor lógico ‘0’ el valor de la masa). Este circuito se representa normalmente con el símbolo mostrado en la figura 3.16 diseñado en Virtuoso Cadence.

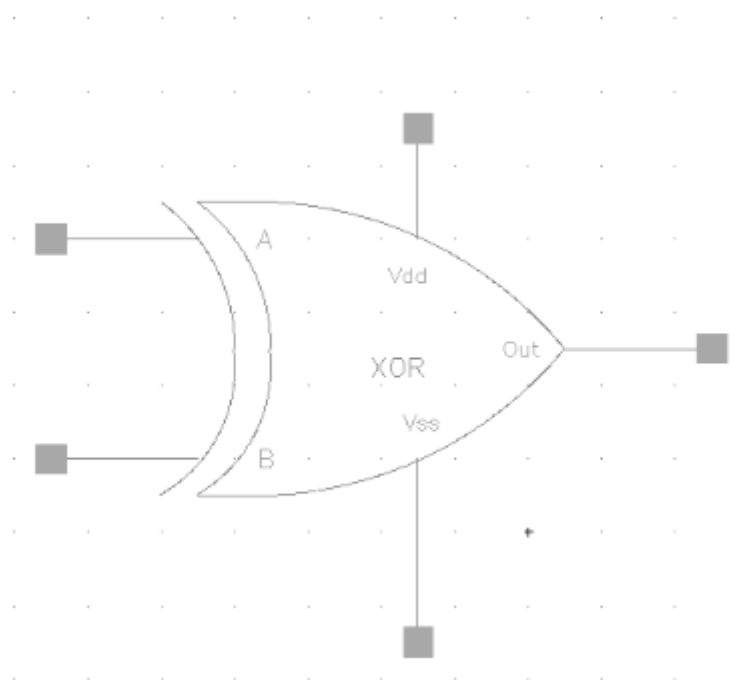


Fig 3.16 Símbolo de la puerta XOR.

La puerta XOR tiene numerosas arquitecturas que dan todas el resultado de la tabla 3.5. En el caso de este trabajo, se ha optado por un diseño a través de puertas de transmisión, ya que utilizan menos transistores que, por ejemplo, una arquitectura basada en puertas

lógicas NAND. En la figura 3.17 Se muestra la implementación de las Puertas de Transmisión para su mejor compresión.

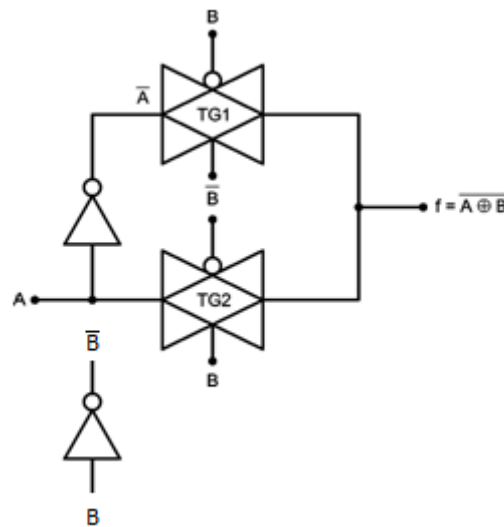


Fig 3.17 Implementación de la puerta XOR mediante Puertas de Transmisión.

Las Puertas de Transmisión, también conocidas como interruptor analógico, permiten selectivamente el paso de una señal u otra a través de la señal de control que entra en las puertas del NMOS y del PMOS. Así, mediante el uso de dos puertas de transmisión se consigue la puerta XOR.

Como se muestra en la figura 3.18 el largo para los transistores PMOS y NMOS es el mínimo de la tecnología, $L = 65 \text{ nm}$ y el ancho para los transistores PMOS es $W = 250 \text{ nm}$ y para los transistores NMOS es $W = 100 \text{ nm}$. Cabe destacar que los tamaños son los mismos que en los biestables D, para que no haya retrasos a la hora de conmutar. Estos tamaños se resumen en la tabla 3.6.

Tamaños de los transistores		
	P	N
W	250 nm	100 nm
L	65 nm	65 nm

TABLA 3.6 TAMAÑOS DE LOS TRANSISTORES DE LA PUERTA XOR.

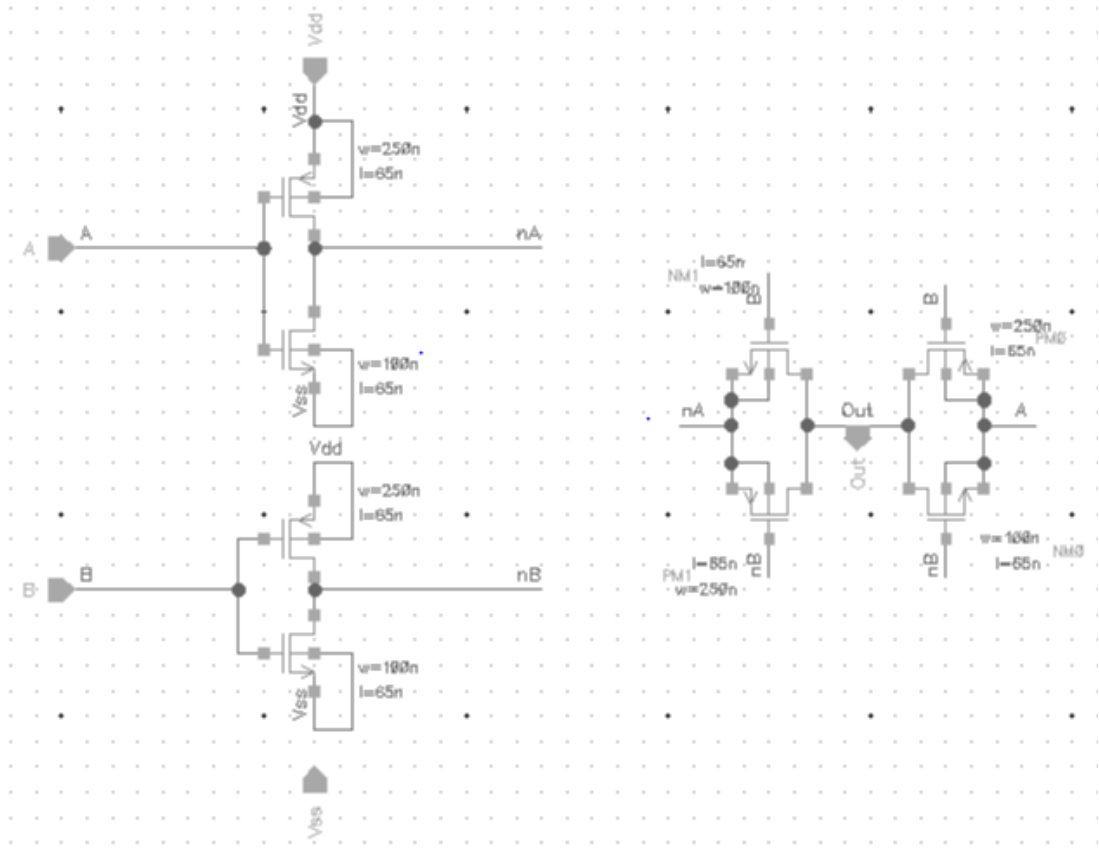


Fig 3.18 Esquemático a nivel transistor de la puerta XOR

3.3 Análisis de la potencia del convertidor

A continuación, se realiza un estudio de la potencia consumida por cada circuito que compone el VCO-ADC mediante la siguiente ecuación:

$$P = V_{DD} \cdot I_{Circuito}, \quad (3.14)$$

La figura 3.19 muestra las formas de onda de las corrientes totales que consumen los circuitos diseñados. En ella se puede apreciar que el componente que mas consume es el oscilador en anillo cuyo valor medio es $I_{VCO} = 510 \mu A$. Los siguientes componentes que más corriente consume son los *level shifter* cuyos valores medios son $I_{LS} = 1.38 \mu A$ haciendo un total entre los siete de $I_{LS Total} = 9.69 \mu A$. Los biestables presentan un consumo de $I_{Biestable} = 1.91 nA$ consumiendo los catorce biestables del sistema un total de $I_{Biestable total} = 2.68 \mu A$. Por ultimo las puertas XOR consumen $I_{XOR} = 84.6 nA$ siendo $I_{XOR Total} = 592 nA$ el consumo de las siete puertas. Sumando todas las corrientes

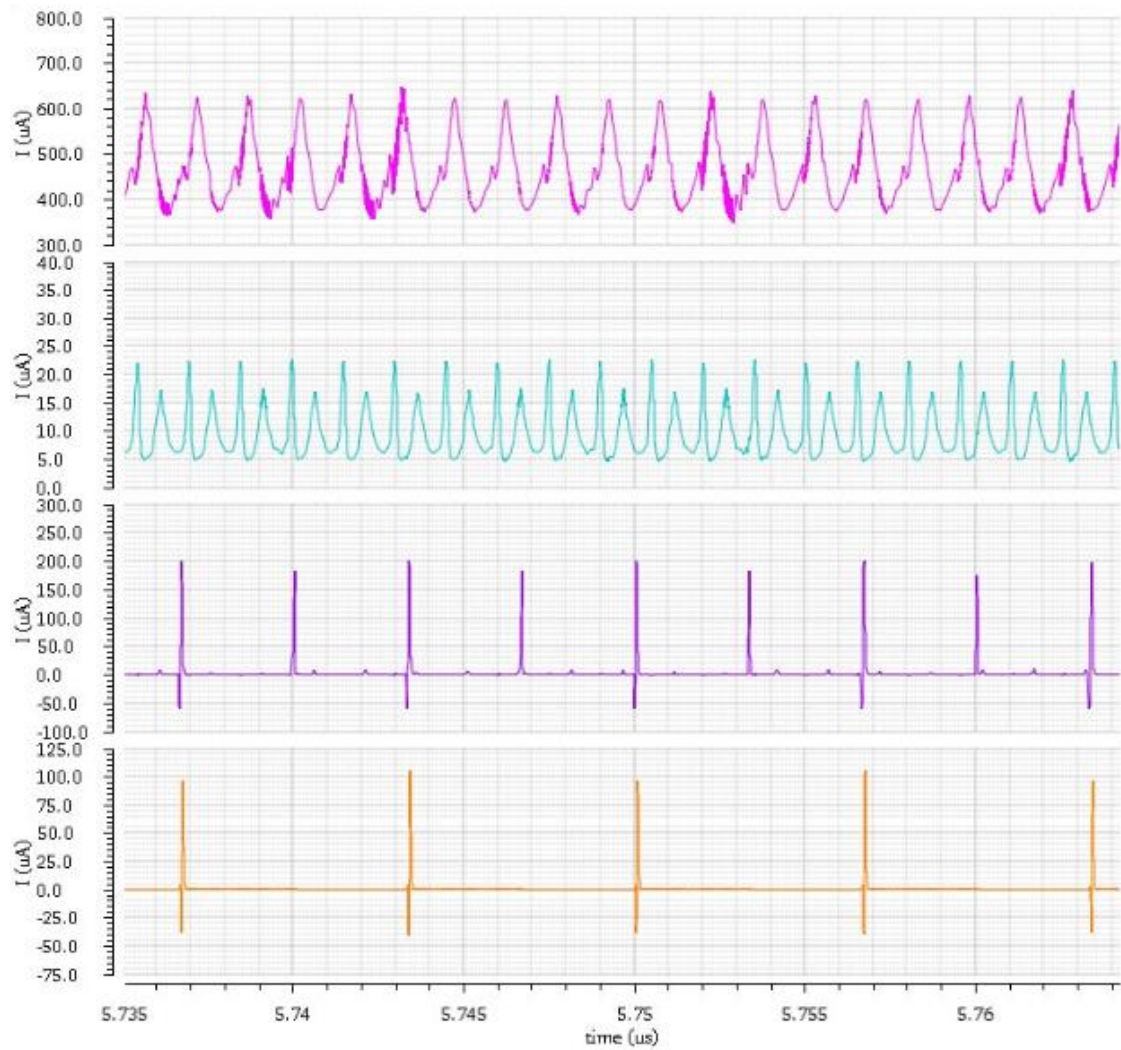


Fig 3.19 Formas de onda de las corrientes totales del VCO, *level shifter*, biestables D y puertas XOR respectivamente.

se obtiene total consumida por el convertidor $I_{VCO-ADC} = 522.962 \mu A$ que a la tensión a la que esta alimentado el convertidor, consume una potencia de $P_{VCO-ADC} = 366 \mu W$. En configuración diferencial este consumo sería el doble debido a la implementación de la segunda rama quedando un total de $P_{VCO-ADC \text{ Diferencial}} = 732 \mu W$.

Los resultados de potencia se resumen en la tabla 3.7

	VCO	<i>Level shifter</i>	Biestables	XOR	VCO-ADC
Valor medio de I	$510 \mu A$	$9.69 \mu A$	$2.68 \mu A$	$592 nA$	$522.96 \mu A$
Potencia	$357 \mu W$	$6.78 \mu W$	$1.88 \mu W$	$414.4 nW$	$366 \mu W$

TABLA 3.7 CORRIENTES Y POTENCIAS DE LOS CIRCUITOS DEL VCO-ADC

3.4 Análisis de sensibilidad del oscilador en anillo

En este epígrafe, después de haber expuesto el funcionamiento del VCO-ADC y los circuitos diseñados a nivel de transistor, se realiza un estudio de sensibilidad en el oscilador en anillo ya que, al ser un circuito analógico, sufre más de efectos de ruido y distorsión. Por otra parte, los circuitos digitales no se ven tan afectados por estos fenómenos y no serán analizados en este trabajo.

La no linealidad del oscilador en anillo se puede apreciar en los armónicos del espectro de salida en frecuencia. El ruido que aparece en los distintos componentes del oscilador en anillo se define a través de la siguiente ecuación:

$$V_{out}(t) = A(t) \cdot f[\omega_0(t) + \varphi_t], \quad (3.14)$$

donde $A(t)$ y φ_t se corresponden con la fluctuación de la amplitud y fase en modelo matemático por causa de las fuentes de ruido externas e internas. La fluctuación de amplitud se puede reducir considerablemente mediante mecanismos de modulación de amplitud, igualmente la principal función del oscilador en anillo es la modulación en frecuencia por lo que el ruido en la amplitud no es significativo. Además, como a la salida del oscilador la señal pasa por el *level shifter* la modulación en amplitud se descarta. Pero la variación de la fase no se elimina de ninguna manera, por lo que es necesario analizar estos efectos de ruido.

Considerando al oscilador como un bloque que transforma las variaciones de tensión en variaciones de fase, dichas variaciones persistirán continuamente ya que las siguientes transiciones también estarán desplazadas esa misma cantidad. Estas variaciones de fase son generadas por alteraciones en diferentes parámetros que afectan al VCO, pero generalmente es por la corriente o tensión de alimentación. Se muestra una comparación entre los modelos ideales y reales de los efectos del ruido sobre el convertidor en la figura 3.19 [20]. En la figura 3.19 (a) se aprecia como en el caso ideal el espectro está formado por *dirac deltas* a la frecuencia de oscilación en sus armónicos. Sin embargo, en la figura 3.19 (b) en la salida del modulador $y[n]$ únicamente está compuesta por los ruidos de la señal de entrada y el de cuantificación, el cual aparece generalmente a bajas frecuencias. Como consecuencia, el ruido resultante limitará la resolución del convertidor ya que está presente dentro de la banda de trabajo. El ruido de fase aparecerá en un diseño real

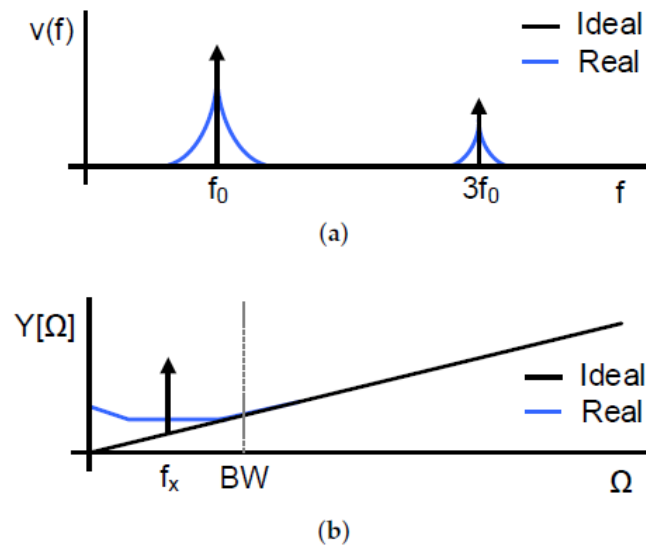


Figura 3.20 Efectos del ruido en el espectro de un VCO-ADC (a) Espectro de $v(t)$; (b) espectro de salida del convertidor $y[n]$ asumiendo una señal de entrada senoidal [20].

generando variaciones aleatorias tanto en la frecuencia de oscilación como en sus armónicos.

Mediante un análisis en Matlab de las rectas de ruido de fase y ganancia del oscilador en anillo se obtienen las rectas de la SNR y SNDR del convertidor tanto en *single ended* como en configuración diferencial. Se ilustran en la figura 3.21

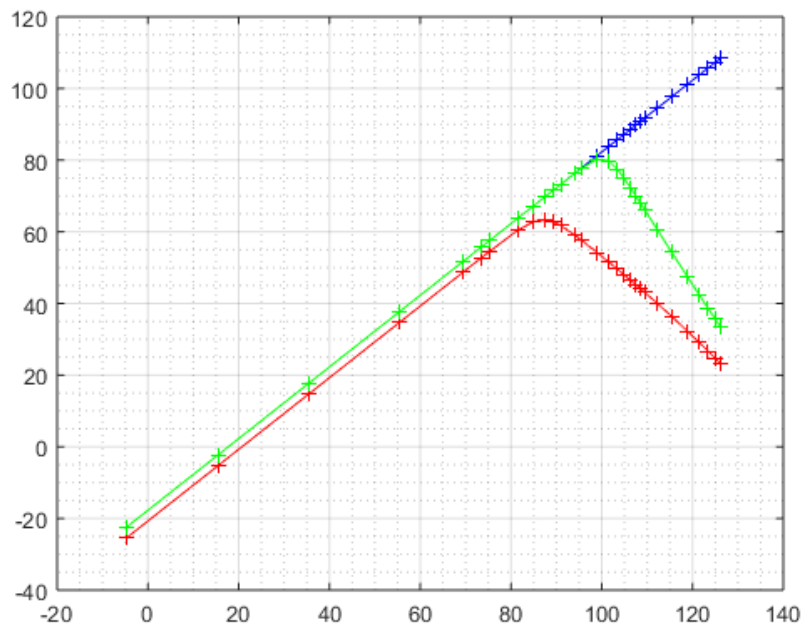


Figura 3.21 Curvas de la SNDR en *single ended* (rojo), configuración diferencial (verde) y SNR (azul).

Los resultados para los parámetros que determinan la sensibilidad al ruido se recogen en las siguientes tablas:

VCO-ADC <i>single ended</i>	
SNR	70.3 dB
SNDR	61.69 dB
ENOB	9.95 bits

TABLA 3.8 VALORES DEL CONVERTIDOR EN CONFIGURACIÓN *SINGLE ENDED*.

VCO-ADC diferencial	
SNR	74.3 dB
SNDR	73.26 dB
ENOB	12.37 bits

TABLA 3.9 VALORES DEL CONVERTIDOR EN CONFIGURACIÓN DIFERENCIAL.

4. DISCUSIÓN DE RESULTADOS

4.1 Conclusiones

El trabajo de este documento expone el diseño de un convertidor analógico-digital basado en un oscilador en anillo utilizando tecnología CMOS de 65 nm. A través de los distintos capítulos de este trabajo se ha presentado la estructura del documento y la introducción a la idea en el capítulo 1. Seguidamente, se han detallado los fundamentos teóricos de convertidores analógico- digitales en el Estado del Arte en el capítulo 2 para una mejor profundización en la idea. A continuación, se han modelado, en el capítulo 3, un VCO-ADC ideal en VerilogA y un VCO-ADC real a nivel de transistor, se ha explicado su comportamiento y su diseño a nivel de transistor de los circuitos, además de un análisis de sensibilidad al ruido del oscilador en anillo, tanto en configuración *single ended* como diferencial.

Tras los análisis de los diseños para el convertidor diseñado en el trabajo se han obtenido resultados válidos para los principales parámetros de interés. Las conclusiones más destacables del trabajo se recogen a continuación:

- Se han diseñado los circuitos que componen los bloques integrador, cuantificador y diferenciador en tecnología CMOS mínima de 65 nm y se ha verificado satisfactoriamente su funcionamiento.
- El diseño del convertidor consigue una SNR de 70.3 dB y una SNDR de 61.7 dB en *single ended*, superando los objetivos marcados y aumentando la resolución del convertidor ya que el ENOB obtenido para el modelo *single ended* es 9.95 bits.
- Mediante el uso de la configuración diferencial del convertidor se mejora aun más la SNDR, obteniendo un valor de 73.26 dB lo que beneficia también la resolución del convertidor consiguiendo un ENOB de 12.37 bits. Esto se consigue, tal y como se ha explicado en la sección 3.1, mediante la eliminación de los armónicos pares con esta configuración diferencial.
- Para anchos de banda bajos, el ruido de fase del oscilador en anillo es uno de los principales problemas para este tipo de convertidores, como se ha observado en la sección 3.3.

4.2 Futuros trabajos y posibles mejoras

En este epígrafe se proponen mejoras para el trabajo y futuras ampliaciones que se pueden hacer sobre él.

- Diseñar el *layout* del convertidor diseñado para realizar la fabricación y poder verificar los diseños mediante pruebas experimentales. Así se podrían contrastar estos resultados experimentales con los resultados obtenidos en las simulaciones y cerciorarse de la eficacia del convertidor.
- Rediseñar el convertidor escalando la tecnología mínima a una menor a los 65 nm utilizados para este trabajo, como por ejemplo menos de 40 nm [21] y comparar los resultados obtenidos con los de esta arquitectura.
- Elaborar un convertidor $\Delta\Sigma$ completo utilizando la arquitectura de este trabajo mediante el diseño de un DAC que se conecte a la salida del convertidor y realimente negativamente la entrada del VCO. Esta arquitectura continuaría consiguiendo un conformado espectral del ruido de primer orden y mismo valor de SNR pero reduciendo la no linealidad del oscilador en anillo. Esta arquitectura se conoce como *closed-loop VCO-ADC*.

5. ESTUDIO ECONÓMICO

Este capítulo expone un presupuesto con los costes de la realización del trabajo. El presupuesto se divide en tres: el coste personal, el coste de las licencias de las herramientas de diseño utilizadas y el hardware utilizado.

El coste de personal se muestra en la tabla 5.1.

CÓDIGO	UNIDAD	DESCRIPCIÓN	MEDICIÓN	PRECIO UNITARIO	PRECIO TOTAL
CAPÍTULO 1 PERSONAL					
1.01	h	ANÁLISIS Y DISEÑO Familiarización con la herramienta de diseño y preparación del proyecto, diseño de los circuitos y evaluación de las simulaciones obtenidas.	175,00	15,00 €	2625,00 €
1.02	h	DOCUMENTACIÓN Redacción del documento sobre el sistema diseñado.	150,00	15,00 €	2250,00 €
SUBTOTAL					4875,00 €

TABLA 5.1 COSTES DE PERSONAL

La siguiente tabla recoge el coste de las licencias de los programas utilizados para la realización del trabajo.

CÓDIGO	UNIDAD	DESCRIPCIÓN	MEDICIÓN	PRECIO UNITARIO	PRECIO TOTAL
CAPÍTULO 2 COSTE DE LAS LICENCIAS					
2.01	Ud	LICENCIA ESTUDIANTE MATLAB Licencia anual para el software Matlab.	1,00	433,00 €	433,00€
2.02	Ud	LICENCIA VIRTUOSO CADENCE Licencia anual para el software Virtuoso Cadence.	1,00	4500,00 €	4500,00€
2.03	Ud	PAQUETE OFFICE Licencia anual para el uso de Microsoft Office Word y Microsoft Office Excel	1,00	69,00 €	69,00 €
SUBTOTAL					5002,00 €

TABLA 5.2 COSTES DE SOFTWARE

Por último, se detalla el presupuesto total en la tabla 5.3

RESUMEN DEL PRESUPUESTO

CAPÍTULO 1 COSTES DE PERSONAL	4875,00 €
CAPITULO 2 COSTES DE LAS LICENCIAS	5002,00 €
TOTAL	9877,00 €

TABLA 5.3 COSTES TOTALES DEL TRABAJO.

6. ENTORNO SOCIO-ECÓNOMICO

La teoría de convertidores de datos expuesta en el documento es aplicable a todos aquellos campos donde se necesite una conversión análogo-digital. Los resultados obtenidos en las simulaciones hacen a este convertidor apto para el ámbito de telecomunicaciones, que como se ha expuesto con anterioridad, requieren anchos de banda elevados una buena resolución. La resolución mejorada del convertidor sin alterar la arquitectura del mismo permitirá a las empresas manteniendo el coste de producción mejorar la calidad del productor y por tanto aplicar esta ventaja competitiva para obtener mayores beneficios en el mercado.

7. METODOLOGÍA Y PLAN DE TRABAJO

En este capítulo se indica gráficamente mediante un diagrama de Gantt la planificación seguida para el proyecto, indicando la duración de cada proceso realizado.

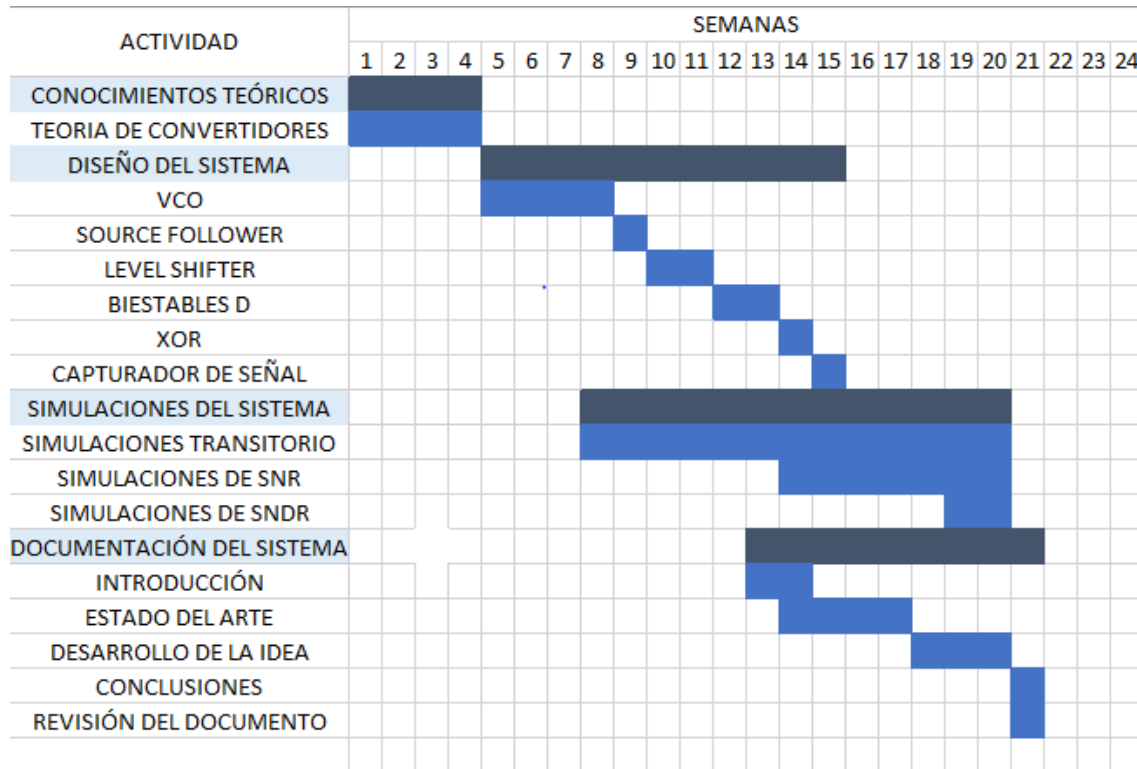


Fig 7.1 Diagrama de Gantt del proyecto.

BIBLIOGRAFÍA

- [1] R. S. W. Utschick, «Coexistence of G.fast and VDSL in FTTH and FTTC,» de *2015 23rd European Signal Processing Conference (EUSIPCO)*, Nice, 2015.
- [2] M. Bartolomeo, «Internet of things: Science fiction or business fact,» *Harvard Business Review*, p. 1–6, 2014.
- [3] G. E. Moore, «Cramming More Components Onto Integrated Circuits,» *Proceedings of the IEEE*, vol. 86, nº 1, pp. 82-85, Jan 1998.
- [4] K. Bult, «Analog design in deep sub-micron CMOS,» *Proceedings of the 26th European Solid-State Circuits Conference*, pp. 126-132, Sept 2000.
- [5] R. Baker, «Chapter 1,» de *CMOS Circuit Design, Layout and Simulation*, Piscataway, Wiley, 2010, pp. 1-31.
- [6] T. C. Carusone, D. A. Johns y K. W. Martin, *Analog Integrated Circuit Design*, Wiley, 2011.
- [7] A. Devices, *Analog-digital conversion handbook*, Prentice-Hall, 2010.
- [8] J. Jalil, M. B. I. Reaz y M. A. M. Ali, «CMOS Differential Ring Oscillators: Review of the Performance of CMOS ROs in Communication Systems,» *IEEE Microwave Magazine*, vol. 14, nº 5, pp. 97-109, July 2013.
- [9] S. Pavan, R. Schreier y G. C. Temes, *Understanding Delta-Sigma Data Converters*, New Jersey: Wiley: Hoboken, 2017.
- [10] G. Taylor y I. Galton, «A Mostly-Digital Variable-Rate Continuous-Time Delta-Sigma Modulator ADC,» *IEEE Journal of Solid-State Circuits*, vol. 45, nº 12, pp. 2634-2646, Dec 2010.

- [11] J. A. Cherry y M. W. Snelgrove, Continuous-Time Delta-Sigma Modulator for High-Speed A/D Conversion, Springer, 2000.
- [12] R. J. Baker, «Chapter 5: Data Converter SNR, Chapter 7: Noise-Shaping data Converter,» de *CMOS: Mixed-Signal Circuit Desing*, Wiley, 2009, pp. 163-285.
- [13] B. Boser y B. Wooley, «The design of sigma-delta modulation analog-to-digital converters,» *IEEE Journal of Solid-State Circuits*, vol. 23, nº 6, pp. 1298-1308, 1988.
- [14] J. Daniels, W. Dehaene y M. Steyaert, «All-digital differential VCO-based A/D conversion,» *Proceedings of 2010 IEEE International SYmposium on Circuit and Systems*, pp. 1085-1088, May 2010.
- [15] C. Wulff y T. Ytterdal, «Resonators in Open-Loop $\Sigma\Delta$ Modulators,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, nº 10, pp. 2159-2172, Oct 2009.
- [16] M. Park y M. H. Perrott, «A 78 dB SNDR 87 mW 20 MHz Bandwidth Continuous-Time $\Delta\Sigma$ ADC with VCO-Based Integrator and Quantizer Implemented in 0.13 μm CMOS,» *IEEE Journal of Solid-State Circuits*, vol. 44, nº 12, pp. 3344-3358, Dec 2009.
- [17] A. Hajimiri, S. Limotyrakis y T. H. Lee, «Jitter and phase noise in ring oscillators,» *IEEE Journal of Solid-State Circuits*, vol. 34, nº 6, pp. 790-804, 1999.
- [18] I. V. K. Reddy y G. Srinivasulu, «A Low to High Voltage Tolerant Level Shifter for low Voltage Applications,» *International Journal of Engineering Research & Technology*, vol. 2, nº 8, pp. 876-879, Aug 2013.
- [19] J. Yuan y C. Svensson, «New Single-Clock CMOS Latches and Flipflops with Improved Speed and Power Savings,» *IEEE Journal of Solid-State Circuits*, vol. 32, nº 1, pp. 62-69, Jan 1997.

- [20] F. Cardes, A. Quintero, E. Gutierrez, C. Buffa, A. Wiesbauer y L. Hernandez, «SNDR Limits of Oscillator-Based Sensor Readout Circuits,» *Sensors*, vol. 18, n° 2, Feb 2018.